

Руслан Иванов
ruivanov@gmail.com

ЧТО НАМ СТОИТ ЧИП ПОСТРОИТЬ?

ЧТО ТАКОЕ СОВРЕМЕННАЯ МИКРОЭЛЕКТРОНИКА, НАНОМЕТРЫ И ЗАЧЕМ ОНИ НУЖНЫ



ГЛОБАЛЬНЫЙ РЫНОК МИКРОЭЛЕКТРОНИКИ

«Global semiconductor sales data showed the industry experienced significant ups and downs in 2022. While chip sales reached the highest-ever annual total in 2022, the slowdown in the second half of the year substantially limited growth. Global semiconductor sales reached \$574 billion in 2022, and U.S. semiconductor companies accounted for sales totaling \$275 billion, or 48% of the global market. To remain competitive in the industry, U.S. semiconductor firms also invested \$58.8 billion in R&D, the highest in history.»

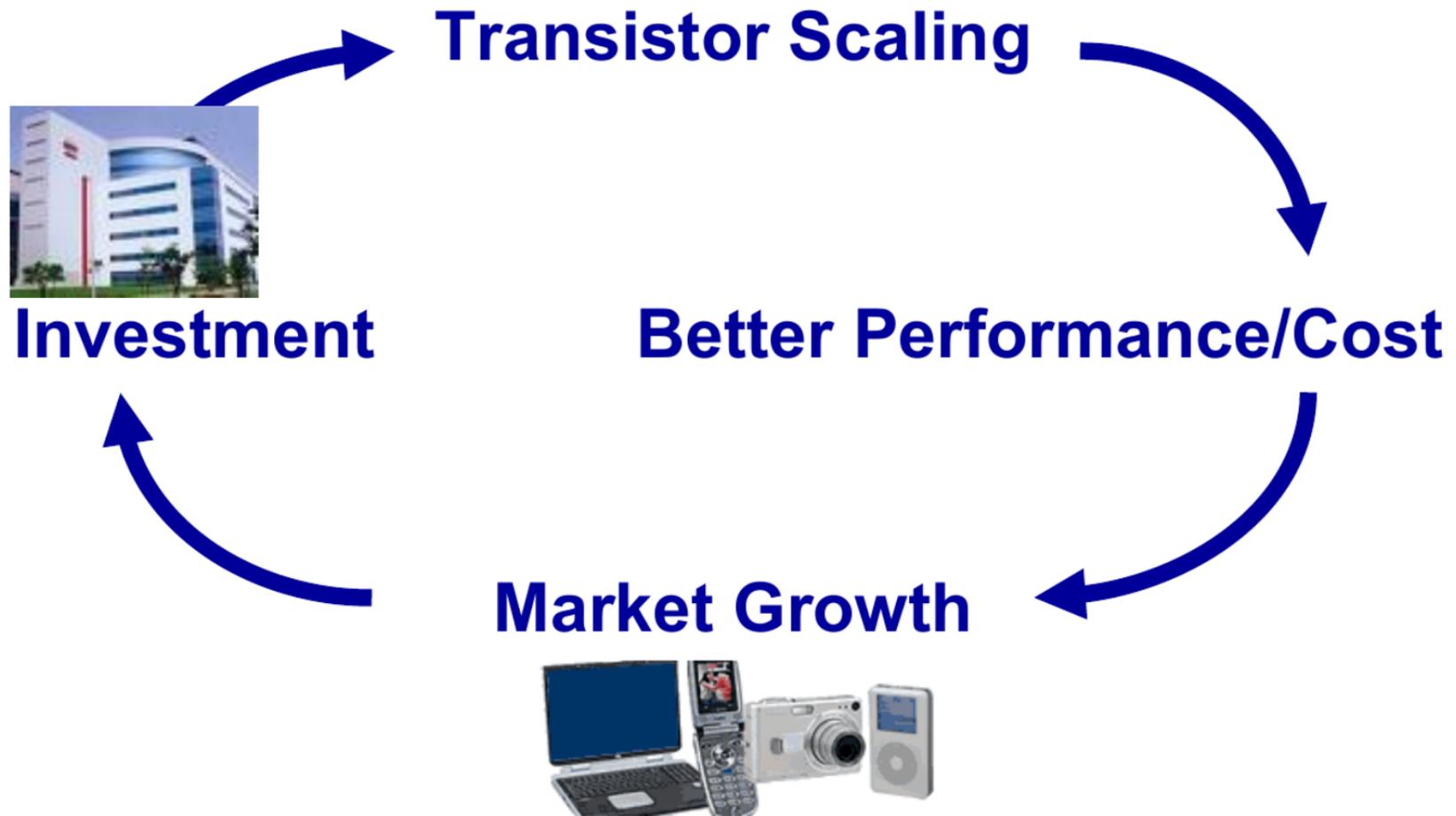
Semiconductor Industry Association

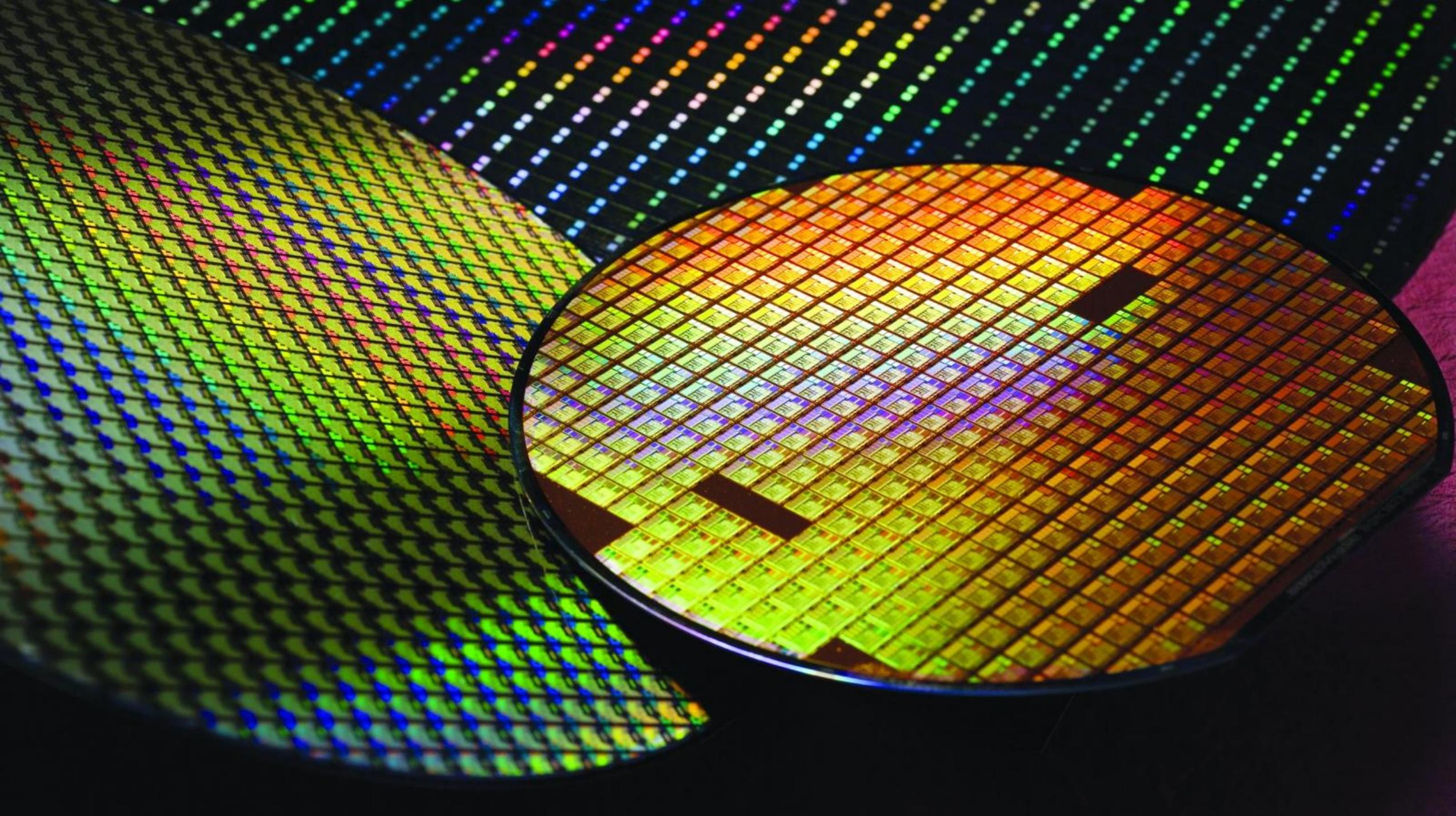
«Доходы бюджета РФ составили в 2023 году 29,123 трлн рублей, расходы - 32,364* трлн рублей.»*

Интерфакс

* Это примерно 323,5 миллиардов долларов доходов и примерно 360 миллиардов долларов расходов. Для сравнения, расходы на оборону (бюджет РФ 2023) ~50 млрд. долларов

РЫНОЧНЫЕ ЗАКОНЫ МИКРОЭЛЕКТРОНИКИ



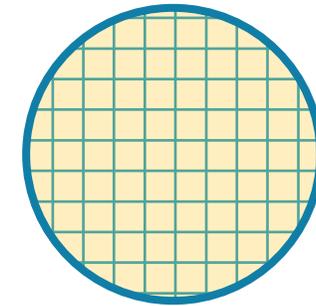
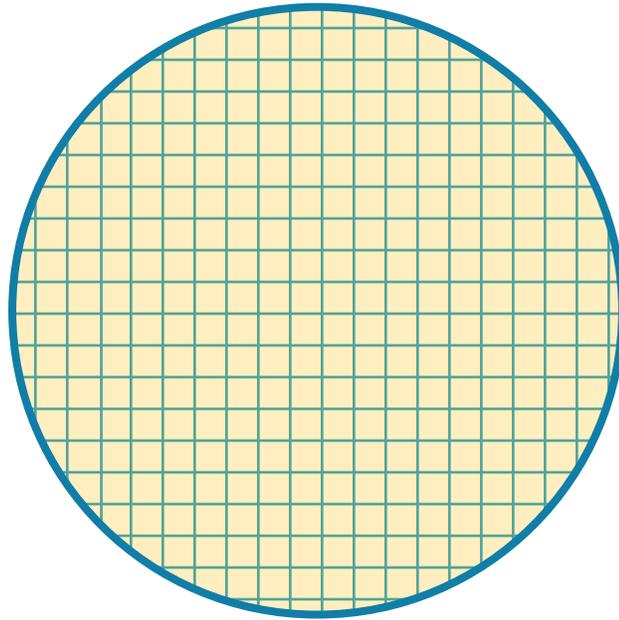


КРЕМНИЕВЫЕ ПЛАСТИНЫ - WAFER

Основной строительный блок современного микроэлектронного производства – кремниевые пластины или «вафли»

Пластины бывают разных типоразмеров

Основные размеры при производстве – 150мм, 200мм, 300мм и 450мм

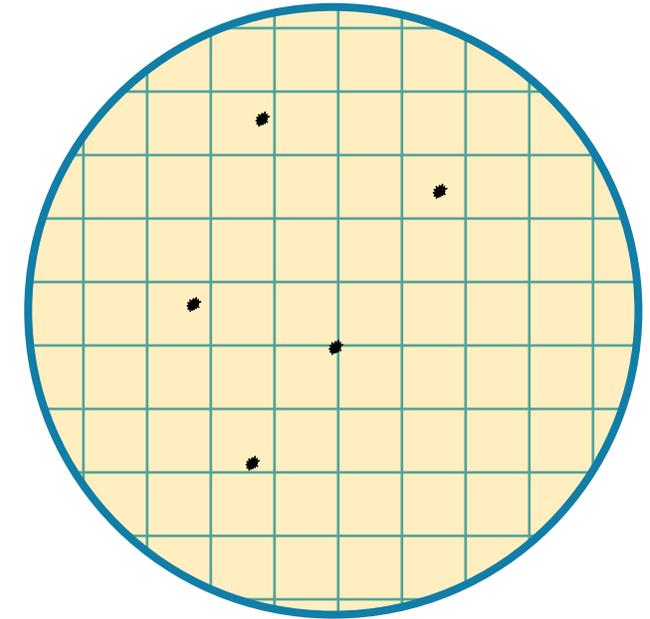
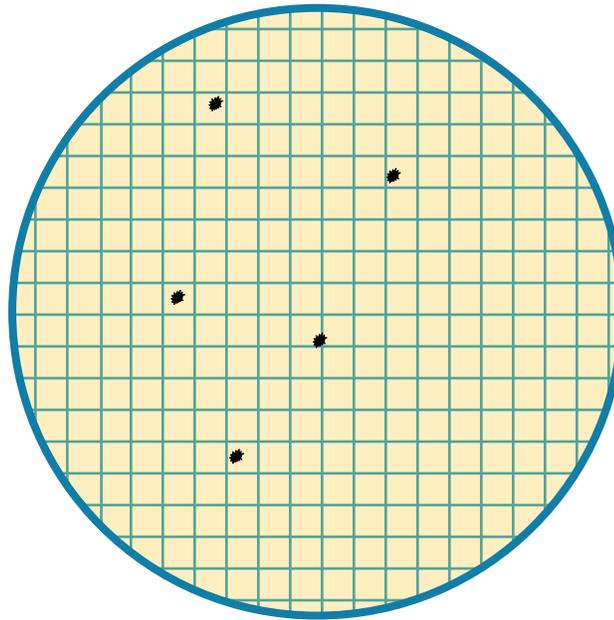


Чем больше диаметр пластины – тем больше на неё влезает чипов одинакового размера и тем дороже производство таких пластин и оборудование для него

КРЕМНИЕВЫЕ ПЛАСТИНЫ - WAFER

Основной строительный блок современного микроэлектронного производства – кремниевые пластины или «вафли»

Миниатюризация микросхем имеет чёткий экономический и инвестиционный драйвер



Чем больше диаметр пластины – тем больше на неё влезает чипов одинакового размера и тем дороже производство таких пластин и оборудование для него

Чем меньше размер микросхемы на пластине – тем больше выход годных микросхем

Это основные экономические и технологические драйверы, обеспечивающие инвестиционный цикл

ТЕХНОЛОГИЧЕСКИЕ НОРМЫ ПРИ ПРОИЗВОДСТВЕ МИКРОЭЛЕКТРОНИКИ

Исходный смысл определения масштаба производственной нормы – это половина ширины зазора* между соседними металлическими дорожками на самом нижнем уровне чипа

*перечёркнутые прямоугольники обозначают контакты, соединяющие данный слой с вышележащими

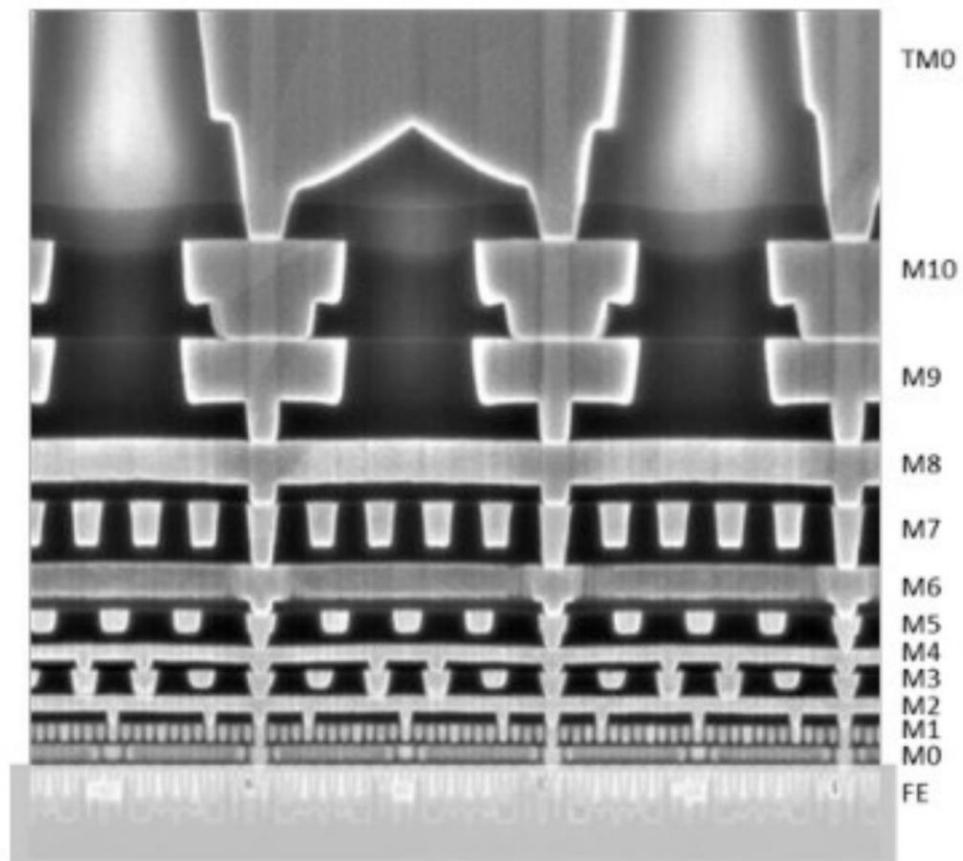


ТЕХНОЛОГИЧЕСКИЕ НОРМЫ ПРИ ПРОИЗВОДСТВЕ МИКРОЭЛЕКТРОНИКИ

«10-нм» техпроцесс Intel, теперь называемый «Intel 7», предусматривает формирование на подложке 11 металлических слоёв (от M0 до M10).

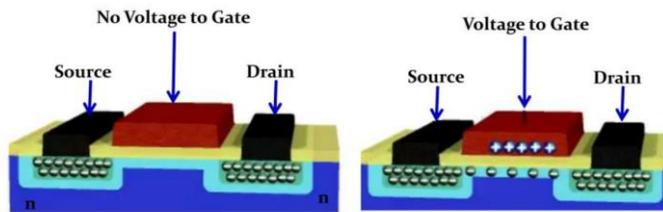
Межсоединения транзисторов через эти слои образуют функциональные элементы (например, схему «И-НЕ»), а из тех, в свою очередь, формируются более крупные структуры (например, арифметический сумматор).

Ещё два металлических слоя, TМ0 и TМ1 (последний на фото не показан) обеспечивают выход на процессорные контакты и коммуникации ЦП с системной логикой (источник: Intel)



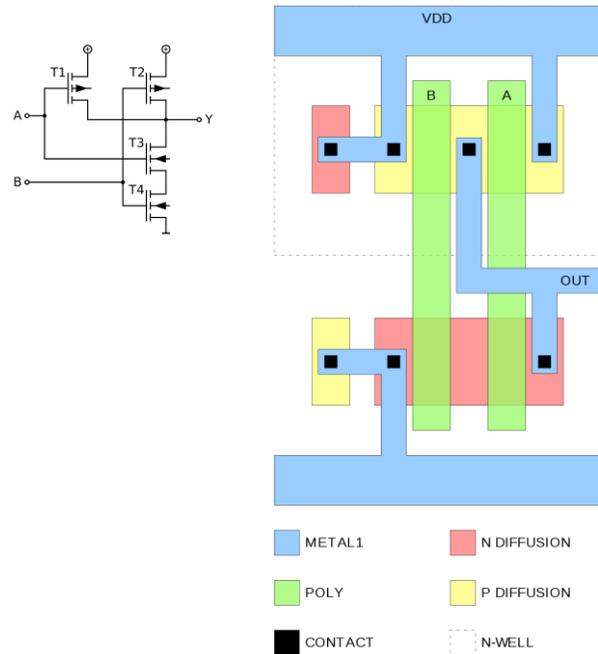
ПОЧЕМУ НЕЛЬЗЯ СДЕЛАТЬ ТРАНЗИСТОР БЕСКОНЕЧНО МАЛЕНЬКИМ?

Схема работы полевого транзистора:



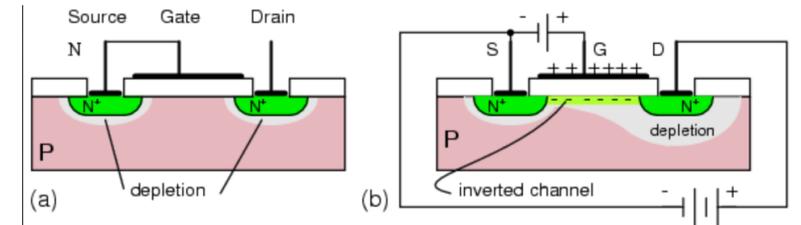
Слева: к затвору (gate) не приложено напряжение, поэтому исток (source) и сток (drain) изолированы; тока нет.
Справа: под воздействием напряжения в полупроводнике возникает проводящий ток канал от истока к стоку

Топология логического элемента 2И-НЕ на двухзатворных полевых КМОП-транзисторах (схематично):



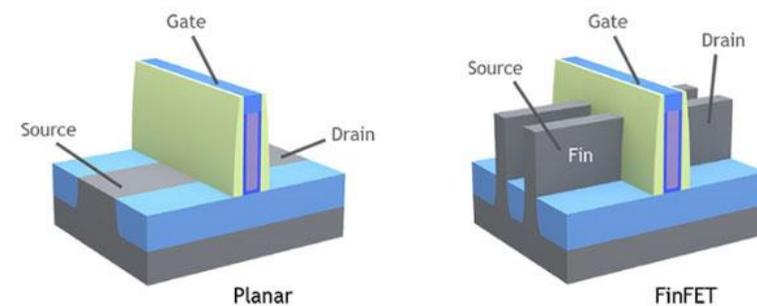
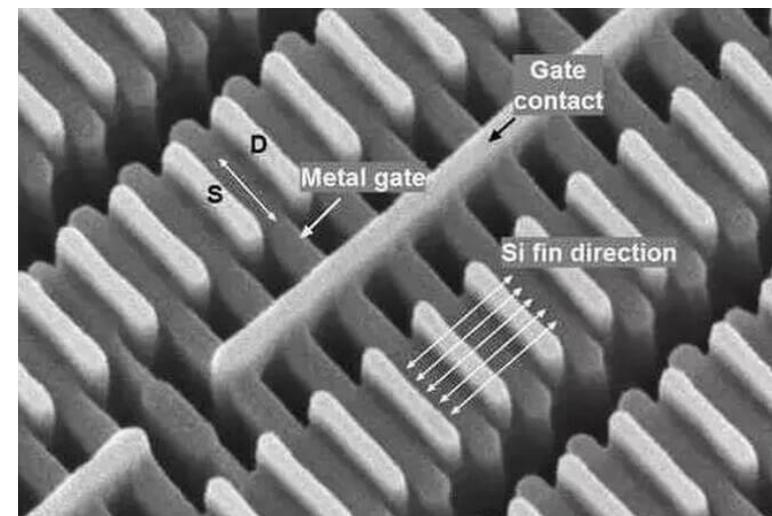
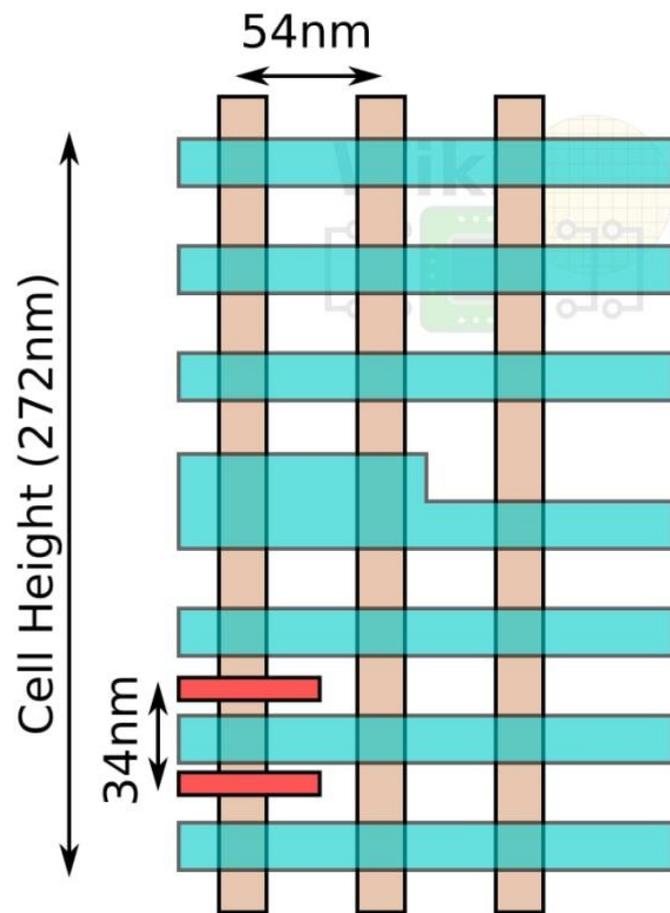
Квантовые эффекты порождают туннельный ток на границах между полупроводниковой базой транзистора **G** (имеющей p-проводимость) с одной стороны и его истоком **S** / стоком **D** (с проводимостью n-типа) — с другой.

В результате, длина активного канала (транзистор работает — правая картинка) становится меньше физического расстояния между границами истока и стока из-за образования вокруг них зон, обеднённых (depletion) отрицательными зарядами, поскольку напряжение к затвору прикладывается положительное. Если расстояние от истока до стока слишком мало, зоны обеднения смыкаются — происходит пробой базы



ТЕХНОЛОГИЧЕСКИЕ НОРМЫ ПРИ ПРОИЗВОДСТВЕ МИКРОЭЛЕКТРОНИКИ

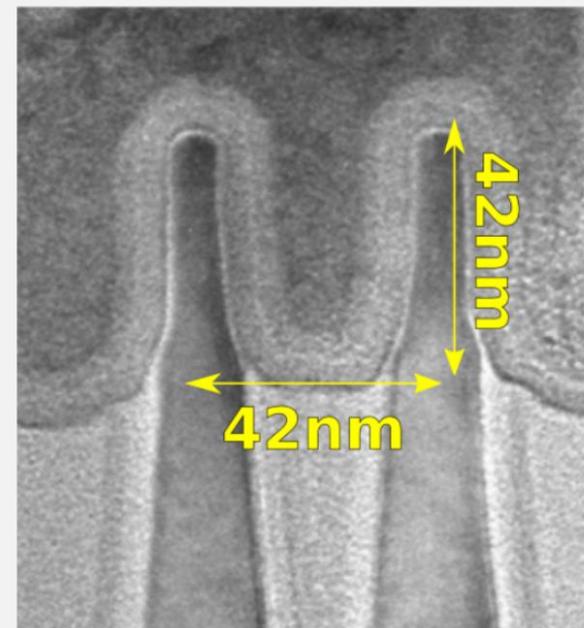
Базовая производственная ячейка, в пределах которой литографическая DUV-машина формирует полупроводниковые структуры в рамках «10-нм» техпроцесса Intel с зазором между гребнями транзисторов (показаны красным) 34 нм, простирается на 272 нм. Терракотовым цветом выделены затворы (дистанция между соседними — 54 нм), аквамариновым — металлические межсоединения самого нижнего слоя (разнесены на 40 нм) (источник: WikiChip)



ТЕХНОЛОГИЧЕСКИЕ НОРМЫ ПРИ ПРОИЗВОДСТВЕ МИКРОЭЛЕКТРОНИКИ

В транзисторах «14-нм» чипа Intel Broadwell нет ни единого элемента с характерным размером 14 нм: ширина гребней (fin width) — 8 нм, расстояние между гребнями (fin pitch) — 42 нм, высота гребней (fin height) — те же 42 нм, расстояние между затворами соседних транзисторов (gate pitch) — 70 нм, расстояние между соединительными шинами (interconnect pitch) — 52 нм, высота транзисторной ячейки (cell height) — 399 нм (источник: Wikichip)

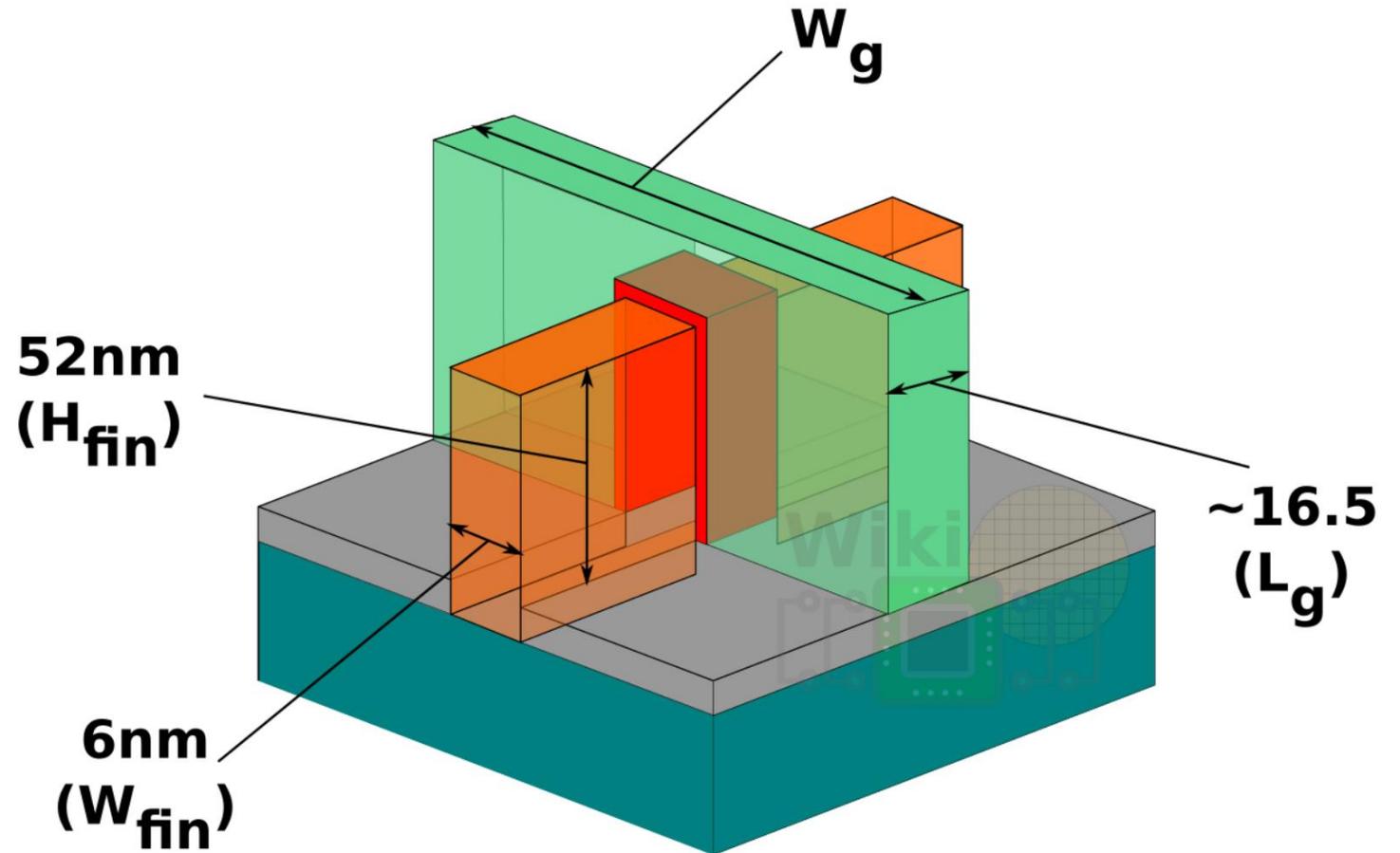
| | Haswell | Broadwell | Δ |
|--------------------|---------|-----------|----------|
| | 22 nm | 14 nm | |
| Fin Pitch | 60 nm | 42 | 0.70x |
| Fin Width | 8 nm | 8 nm | 1x |
| Fin Height | 34 nm | 42 nm | 1.24x |
| Gate Pitch | 90 nm | 70 nm | 0.78x |
| Interconnect Pitch | 80 nm | 52 nm | 0.65x |
| Cell Height | 840 nm | 399 nm | 0.48x |



ТЕХНОЛОГИЧЕСКИЕ НОРМЫ ПРИ ПРОИЗВОДСТВЕ МИКРОЭЛЕКТРОНИКИ

Главные габариты «7-нм»* транзистора FinFET сделанного TSMC:

высота гребня (H_{fin}) — 52 нм,
ширина гребня (W_{fin}) — 6 нм,
длина затвора (L_g) — 16,5 нм

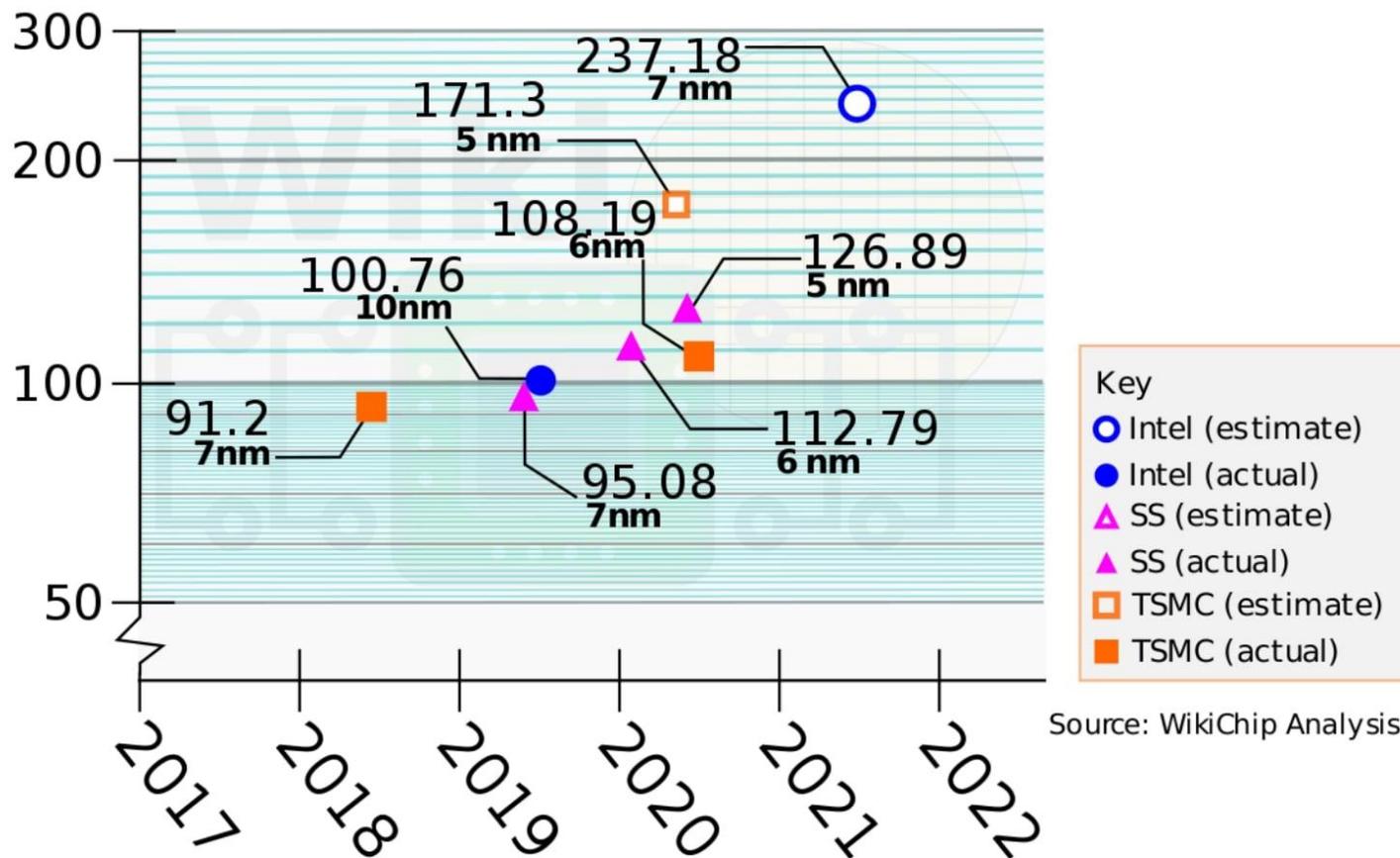


* после фактического достижения длины канала в 25 нм на этапе 45-нм техпроцесса номенклатура техпроцессов по ITRS перестала соответствовать половинной ширине зазора между контактными дорожками — и маркетинговое наименование последующей технологической нормы, начиная с «32 нм», получалось *простым умножением предыдущего на 0,7 с округлением.*

ТЕХНОЛОГИЧЕСКИЕ НОРМЫ ПРИ ПРОИЗВОДСТВЕ МИКРОЭЛЕКТРОНИКИ

Реальная плотность «5-нм» технологических норм, реализуемых и/или планируемых к реализации по сути на одном и том же EUV-оборудовании ASML разными производителями, в миллионах транзисторов на 1 кв. мм, в сравнении с «7-нм» и «10-нм», по состоянию на конец 2021 г. (источник: WikiChip)

5nm Node Density (MTr/mm²)

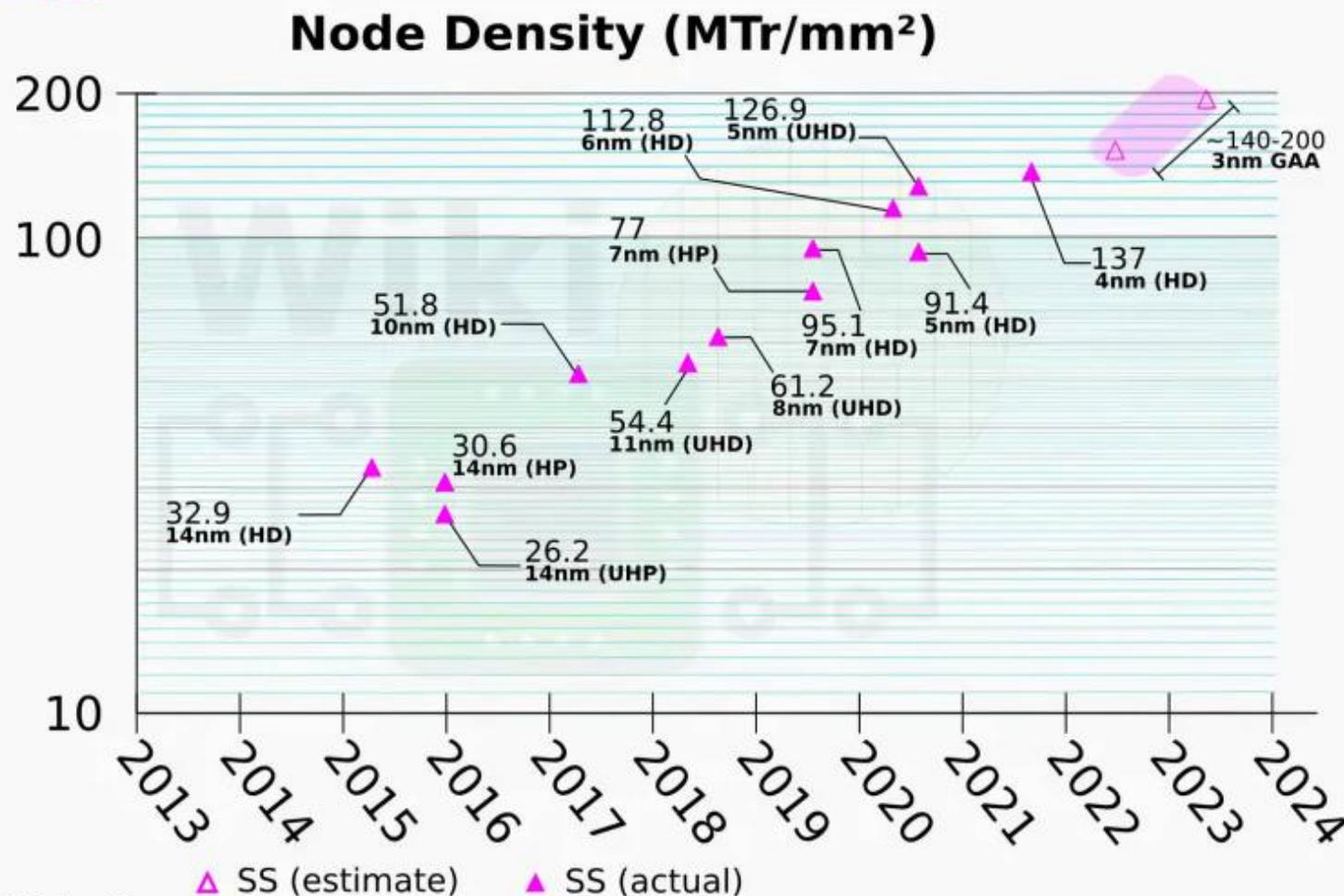


ТЕХНОЛОГИЧЕСКИЕ НОРМЫ ПРИ ПРОИЗВОДСТВЕ МИКРОЭЛЕКТРОНИКИ

Наглядное пояснение, по какой именно причине Samsung Electronics так спешит с внедрением GAAFET: за счёт новой технологии плотность размещения транзисторов за год-два обещает практически удвоиться относительно достигнутого в конце 2022-го на технологии FinFET предела (источник: WikiChip)



Samsung Process Nodes Density



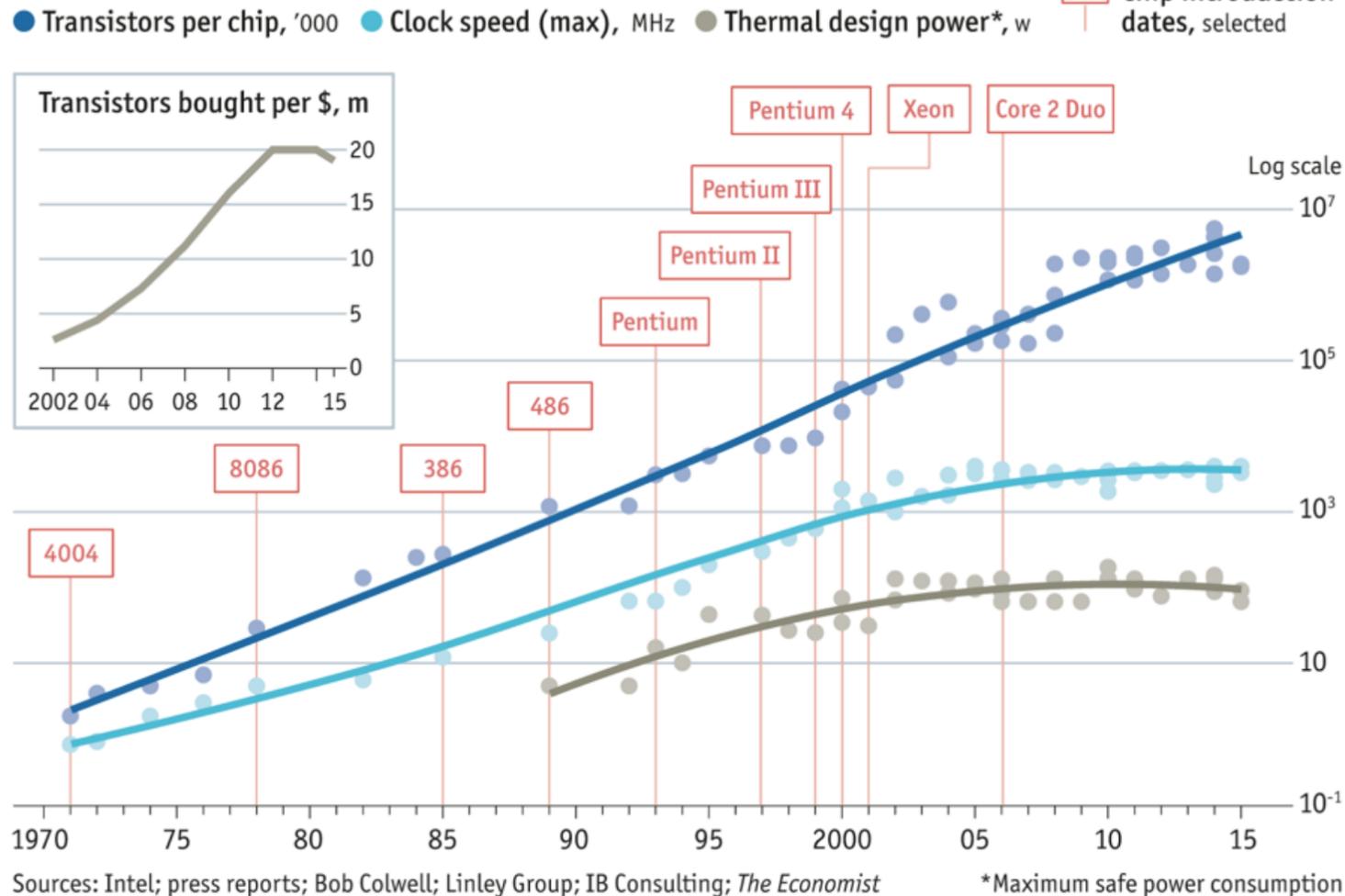
WikiChip ©

Source: WikiChip Analysis

ТЕХНОЛОГИЧЕСКИЕ НОРМЫ ПРИ ПРОИЗВОДСТВЕ МИКРОЭЛЕКТРОНИКИ

Ещё один взгляд на «закон Мура»: особенно хорошо видно, как на фоне по-прежнему довольно уверенно растущего числа транзисторов с середины первого десятилетия 2000-х выходят на плато и рабочая тактовая частота, и потребляемая мощность ЦП, а количество приобретаемых на доллар транзисторов (график на врезке) и вовсе начало падать с 2014 года (источник: ARTIS Ventures)

Stuttering

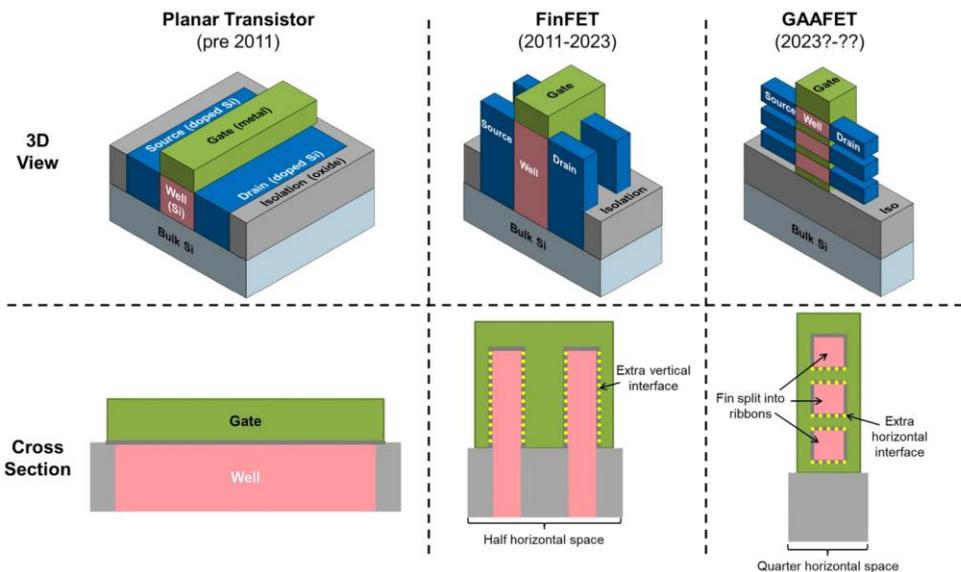
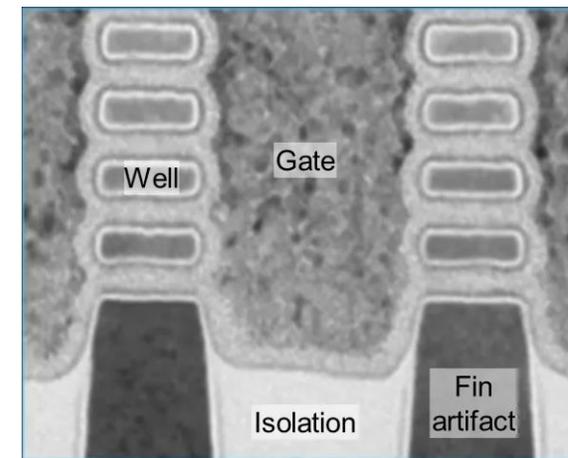
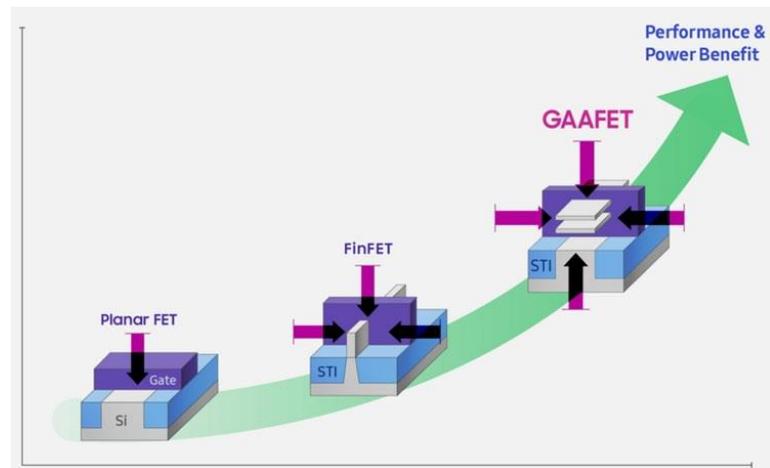


МИКРОЭЛЕКТРОНИКА – ЭТО ИНДУСТРИЯ ПРЕВОЗМОГАНИЯ, ИЛИ ЧТО ПОСЛЕ ЗАКОНА МУРА?

Транзисторные каналы в виде наностраниц (nanosheet) - это почти такие же «рёбра» FinFET, только расположенные параллельно подложке кристалла, тогда как FinFET создаются перпендикулярно подложке.

Из расположения наностраниц также следует, что затворы, материал которых страницы пронизывают насквозь от истока к стоку транзистора, окружают каналы-наностраницы со всех четырёх сторон.

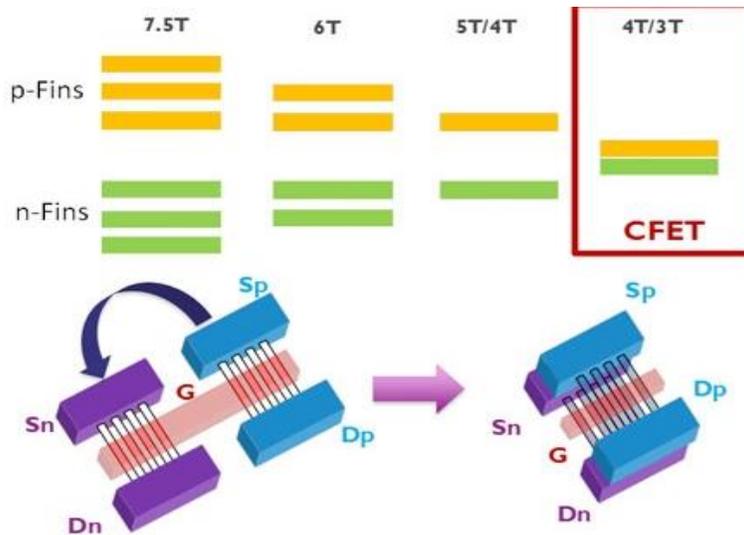
Большая площадь соприкосновения и большее число каналов-наностраниц позволяет увеличить токи через канал транзистора GAAFET и улучшить его управляемость.



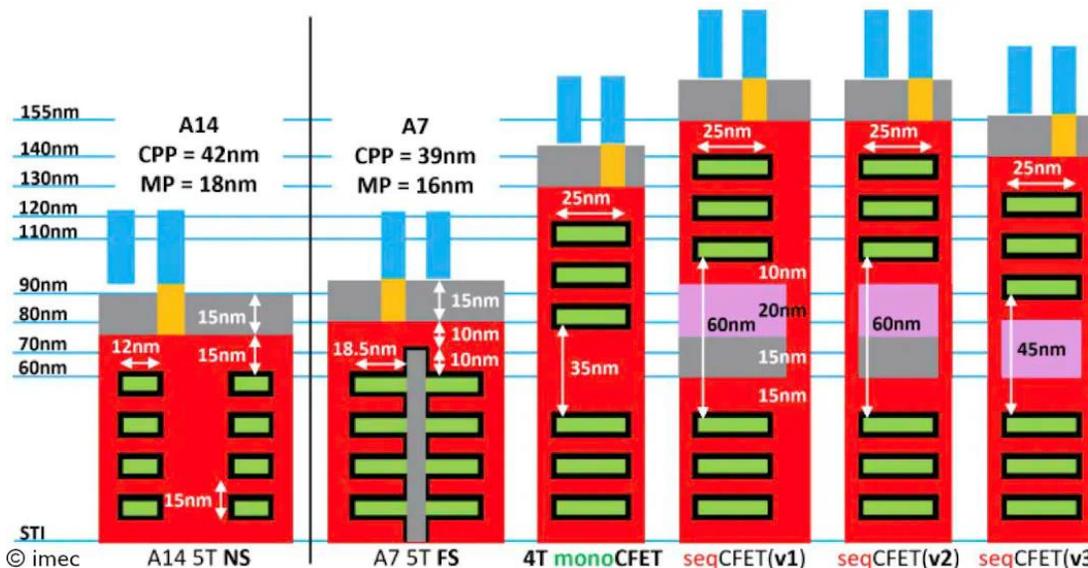
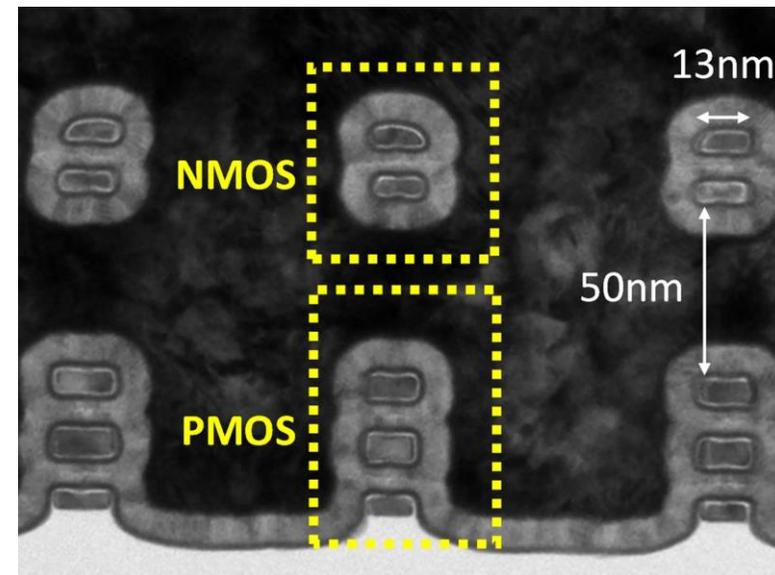
Также важным свойством наностраниц является более тонкая настройка транзисторов под задачи микросхемы, отсюда следует резко растущая энергоэффективность решений. Можно менять число страниц (каналов) и их ширину: для производительных чипов делать транзисторы с более широкими наностраницами, а для энергоэффективных — поуже.

МИКРОЭЛЕКТРОНИКА – ЭТО ИНДУСТРИЯ ПРЕВОЗМОГАНИЯ, ИЛИ ЧТО ПОСЛЕ ЗАКОНА МУРА?

«Комплементарные FET (Complementary FET) транзисторы всё еще находятся на стадии исследования, — сказал глава TSMC в интервью EE Times. — Это всего лишь один из вариантов транзистора. Я не думаю, что могу назвать сроки, когда эта транзисторная технология пойдет в производство»



© imec



© imec

Gate cross sections for nanosheet (NS), forksheet (FS) and CFET (monolithic and sequential). Basic sequential CFET (=v1) is wider and taller than mono. With an optimized flow (including self-aligned gate merge (v2) and no gate cap (v3)), sequential CFET approaches monolithic CFET in terms of area consumption (also presented at VLSI 2022).

МИКРОЭЛЕКТРОНИКА – ЭТО ИНДУСТРИЯ ПРЕВОЗМОГАНИЯ, ИЛИ ЧТО ПОСЛЕ ЗАКОНА МУРА?

Хотя расстояние между металлическими контактами (metal pitch) после перехода на CFET будет меняться мало, толщина затворов внутри вертикально упакованных КМОП-транзисторов к 2036 г. выйдет, как предполагается, на атомарный уровень (источник: IMEC)



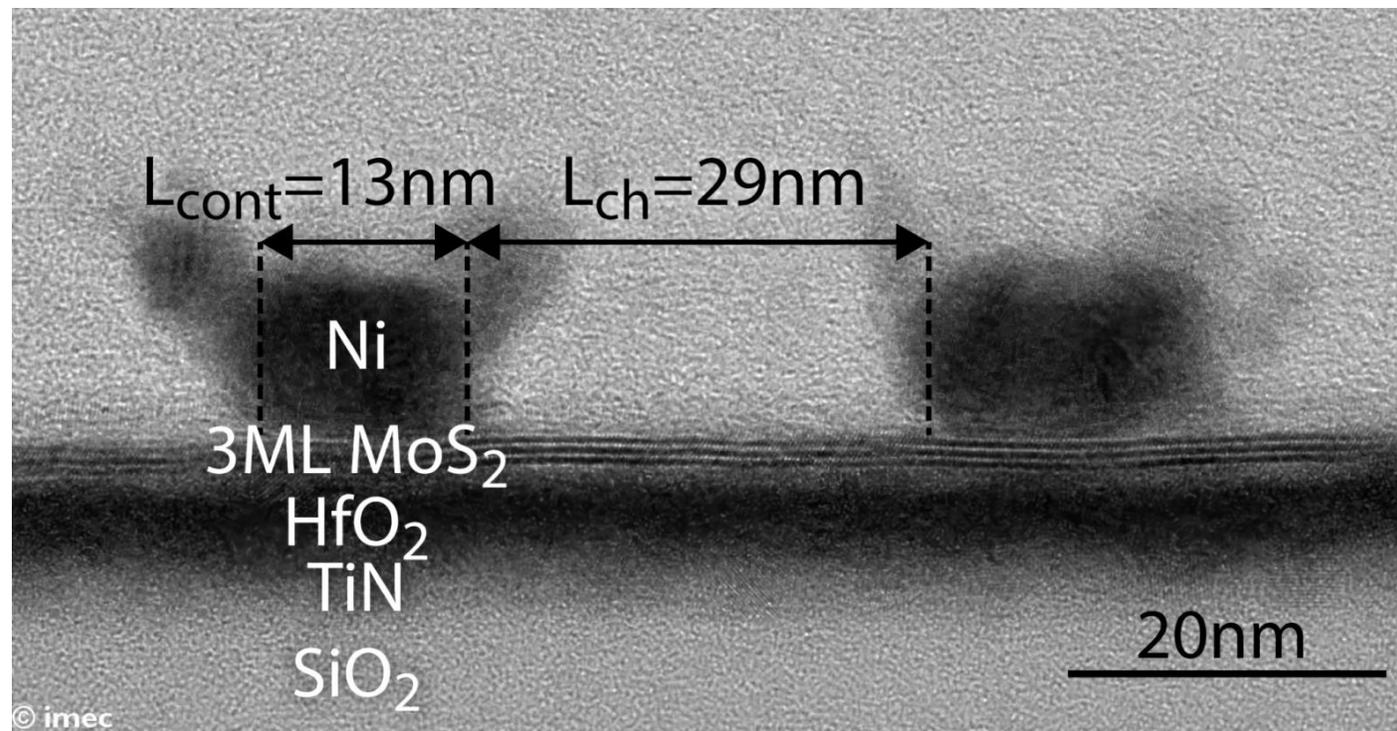
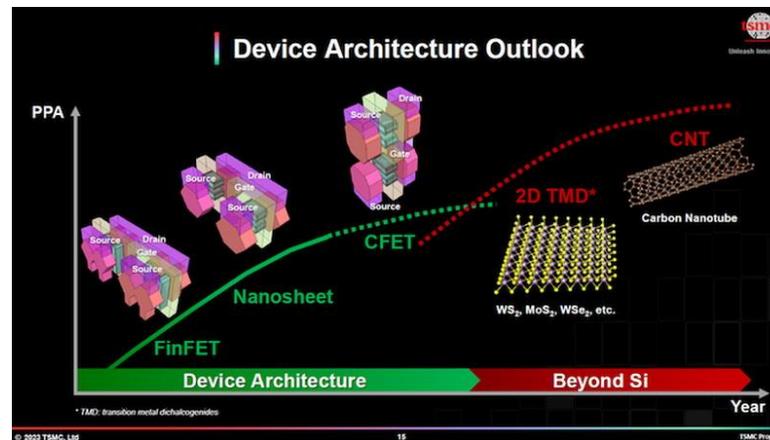
До самого последнего времени полупроводниковая фотолитография развивалась, по сути, в пределах одной плоскости с «вытягиванием» из неё отдельных структур по вертикали, — и здесь инженеры достигли невероятных (для времён первого теоретического упоминания о FinFET) высот. Подлинно же трёхмерная фотолитография, нацеленная на создание разнородных сверхминиатюрных полупроводниковых конструкций в объёме, только зарождается, — так что путь к освоению серийного выпуска микросхем с транзисторами CFET навряд ли займёт меньше десятилетия.

ЕСТЬ ЛИ ЖИЗНЬ ПОСЛЕ КРЕМНИЯ?

Планарный транзистор на основе трёхслойной плёнки «двумерного» дисульфида молибдена MoS₂

Каждый слой — толщиной буквально в одну молекулу

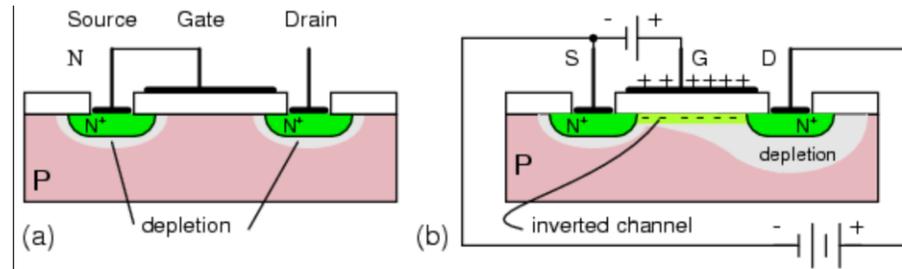
Такой транзистор избавлен от многих эффектов короткого канала, свойственных кремниевым транзисторам (источник: IMEC)



ЕЁ ВЕЛИЧЕСТВО ЛИТОГРАФИЯ

По достижении каналом предела примерно в 90 нм из-за особенностей фотолитографической реализации истока и стока на кремниевой подложке начинают заметно давать о себе знать токи утечки:

При формально закрытом затворе через канал всё-таки может проходить электрический заряд, пусть и с меньшей, чем в состоянии «закрыто», интенсивностью.



Эффекты короткого канала (short-channel effects), которые способствуют понижению потенциального барьера (того самого, что препятствует прохождению заряда в канале при закрытом затворе) под воздействием утечек.

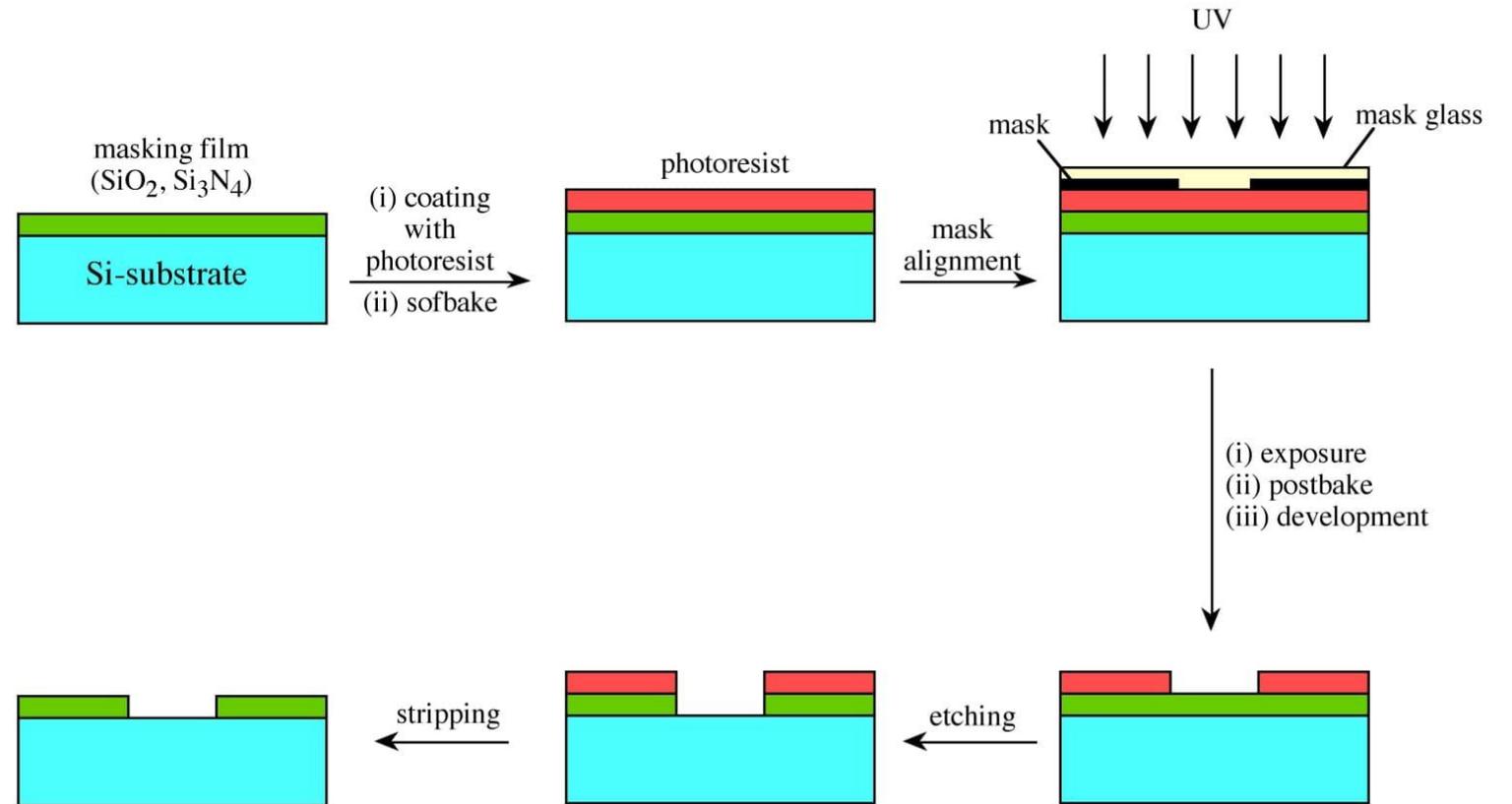
Как только обеднённые зоны по обоим берегам канала смыкаются, закрытие затвора (снятие с него управляющего напряжения) уже не приводит к приостановке переноса заряда через транзистор: роль альтернативного канала исполняют те самые соединившиеся обеднённые области. Происходит это как раз при длине канала примерно в 25-28 нм.

ЕЁ ВЕЛИЧЕСТВО ЛИТОГРАФИЯ

Основные этапы фотолитографического процесса (упрощённо, без системы линз):

- Нанесение на полупроводниковый субстрат (Si) диэлектрической основы (masking film),
- Покрытие основы фоторезистом
- Установка маски
- Экспонирование
- Проявка
- Травление (etching) открытых участков диэлектрика
- Смыв (stripping) остатков фоторезиста

источник: OpenStax



ЕЁ ВЕЛИЧЕСТВО ЛИТОГРАФИЯ

Фотолитограф TWINSCAN NXT 1980Di: схема прохождения света через сложную систему линз. Маска здесь располагается ниже зеркала, меняющего направление светового потока на горизонтальное, а экспонируемая кремниевая пластина размещена внизу

источник: ASML



Громоздкая, сложная и дорогостоящая система линз в современных литографических машинах успешно борется с обратной засветкой и дифракцией и — благодаря невероятным техническим ухищрениям — позволяет достигать физического разрешения не в половину, а примерно в четверть длины волны используемого излучения. Засвеченные участки покрытия меняют свои физические свойства, и их смывают особыми химикатами. Таким образом формируется первый слой будущей сверхбольшой интегральной схемы (СБИС).

ЕЁ ВЕЛИЧЕСТВО ЛИТОГРАФИЯ

Голландская ASML,
единственный в мире
производитель EUV-машин,
оценивает каждую из них в 200
млн долл. США

Для сравнения: её же DUV-
фотолитографы обходятся
заказчикам всего-то в 40-60
млн долл. за штуку.

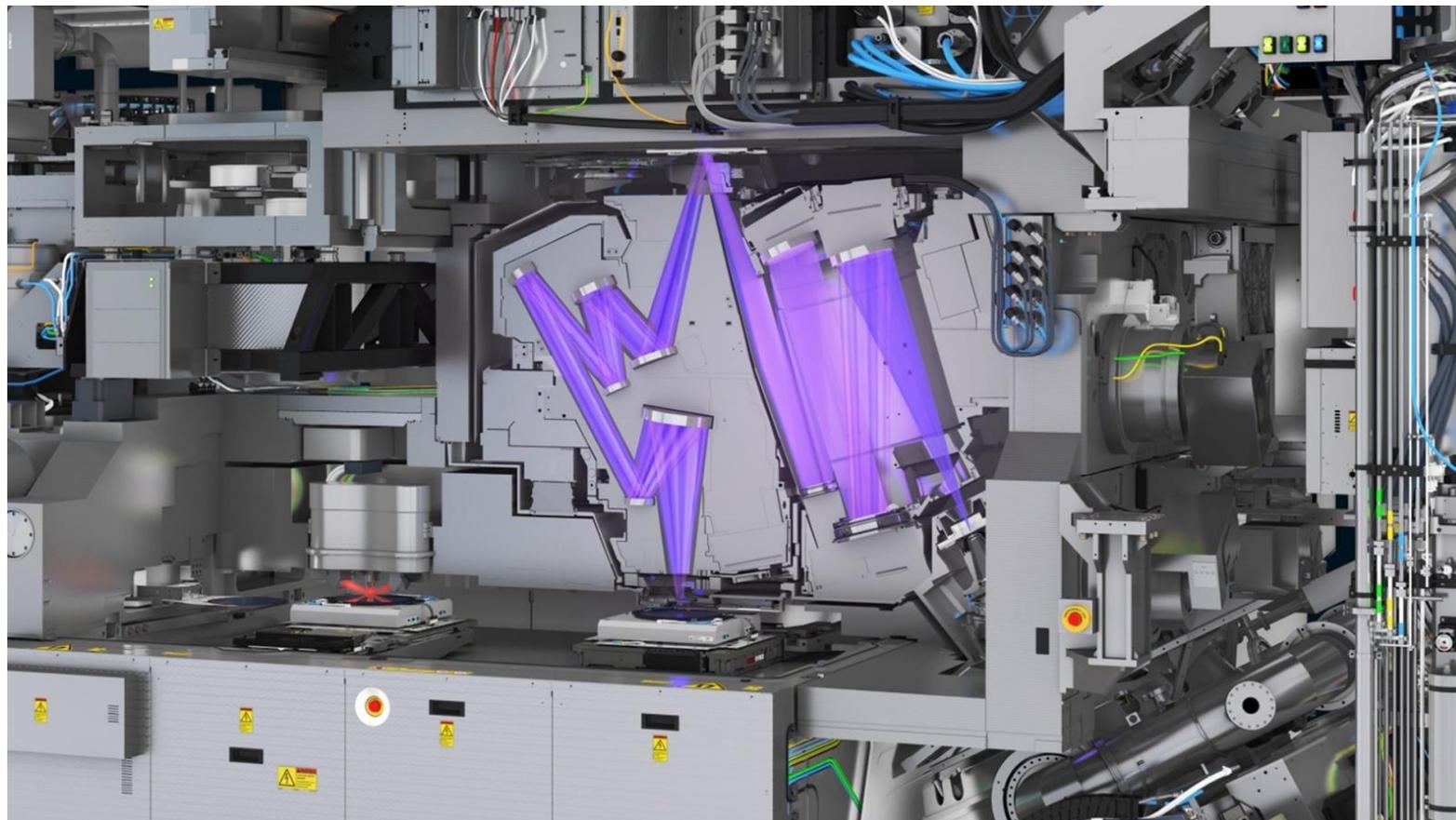
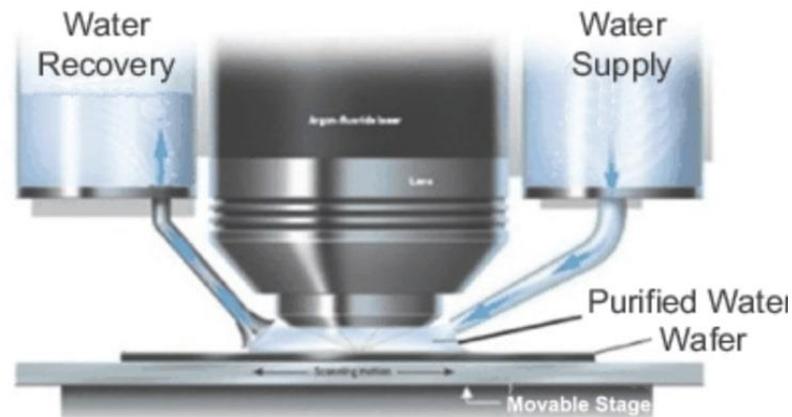
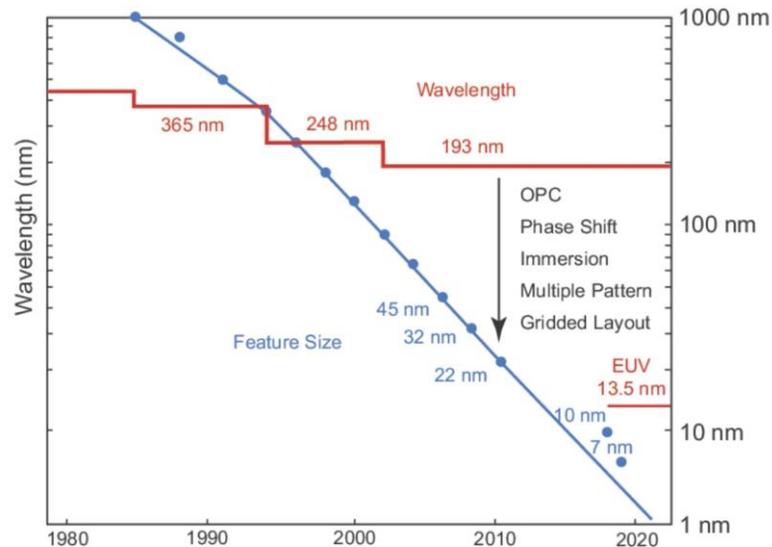


Схема прохождения 13,5-нм излучения в вакуумированной системе зеркал внутри серийного EUV-фотолитографа (источник: ASML)

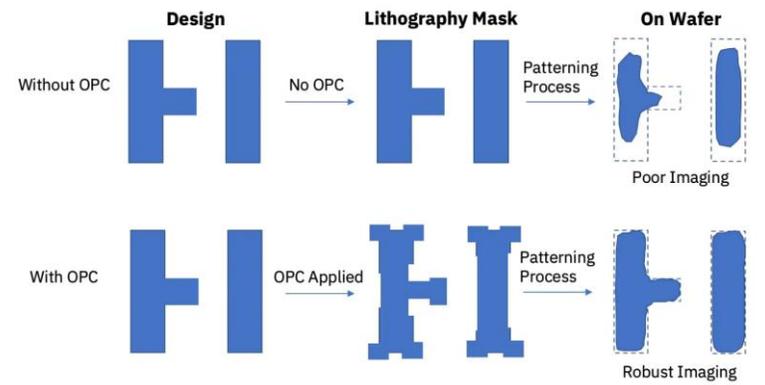
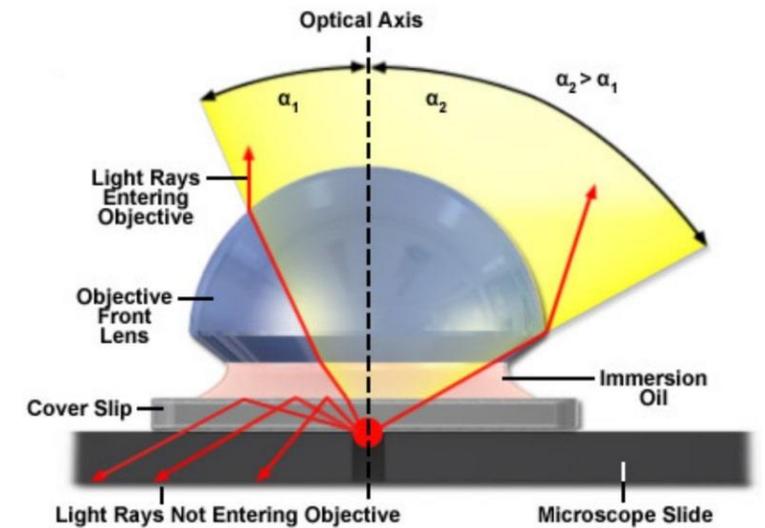
ЕЁ ВЕЛИЧЕСТВО ЛИТОГРАФИЯ

Применение все более коротковолновых источники света (красный график) стало вносить в осваиваемые чипмейкерами технологические нормы (синий график) заметно меньший вклад во второй половине 1990-х, и все применявшиеся для этого инструменты миниатюризации техпроцессов мы рассмотрим ниже: это коррекция оптической близости, фазосдвигающие маски, иммерсивная и многопроходная литография

источник: Newport Corporation



Для иммерсионной фотолитографии применяют воду высокой степени очистки, которая вдобавок тщательно деионизируется (источник: Newport Corporation)

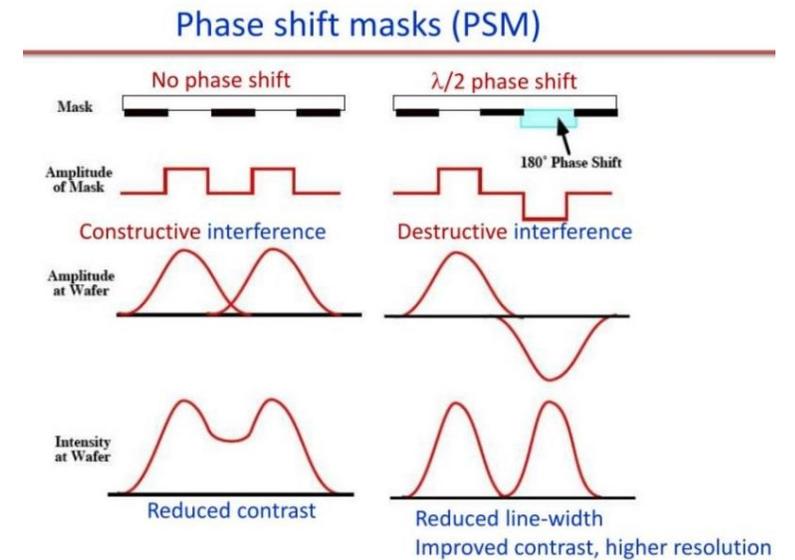
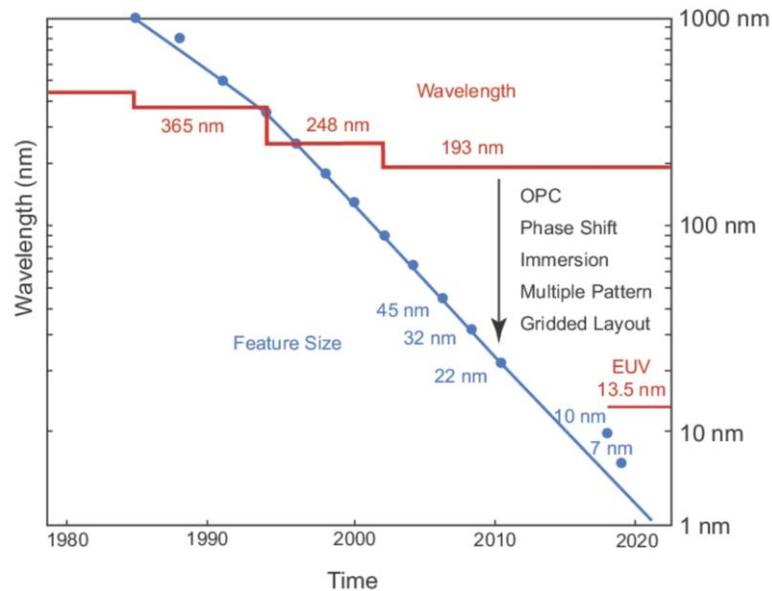


Коррекция оптической близости позволяет, предварительно рассчитав нужный профиль щели, получить гораздо более четкое литографированное изображение (источник: IBM)

ЕЁ ВЕЛИЧЕСТВО ЛИТОГРАФИЯ

Применение все более коротковолновых источники света (красный график) стало вносить в осваиваемые чипмейкерами технологические нормы (синий график) заметно меньший вклад во второй половине 1990-х, и все применявшиеся для этого инструменты миниатюризации техпроцессов мы рассмотрим ниже: это коррекция оптической близости, фазосдвигающие маски, иммерсивная и многопроходная литография

источник: Newport Corporation



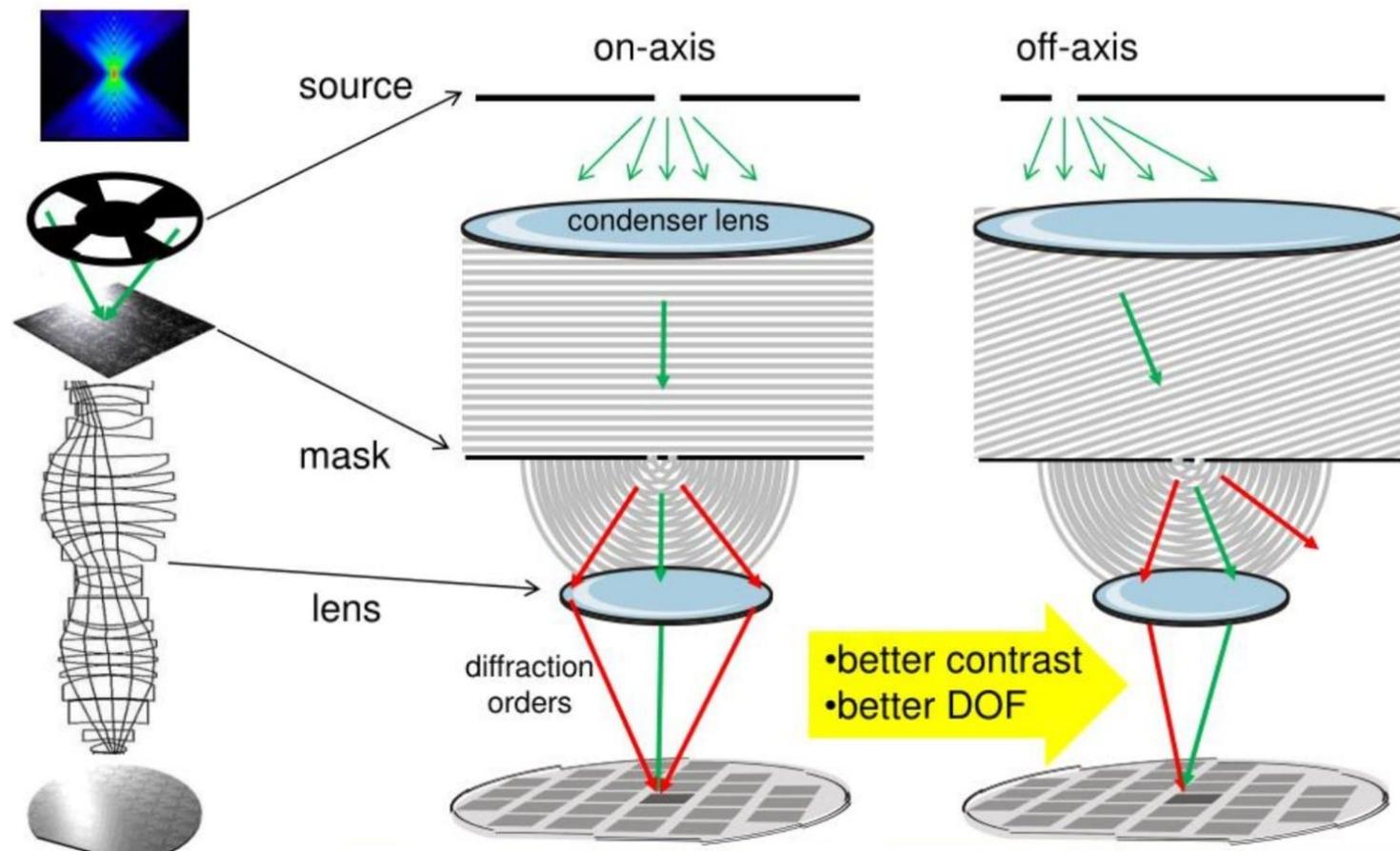
Принцип работы фазосдвигающей маски: после добавления в часть прорезей прозрачных пластин, задерживающих проходящее излучение на половину длины волны, конструктивная паразитная интерференция превращается в деструктивную, и контрастность изображения возрастает

источник: University of Waterloo

ЕЁ ВЕЛИЧЕСТВО ЛИТОГРАФИЯ

Применение все более коротковолновых источники света (красный график) стало вносить в осваиваемые чипмейкерами технологические нормы (синий график) заметно меньший вклад во второй половине 1990-х, и все применявшиеся для этого инструменты миниатюризации техпроцессов мы рассмотрим ниже: это коррекция оптической близости, фазосдвигающие маски, иммерсивная и многопроходная литография

источник: Newport Corporation



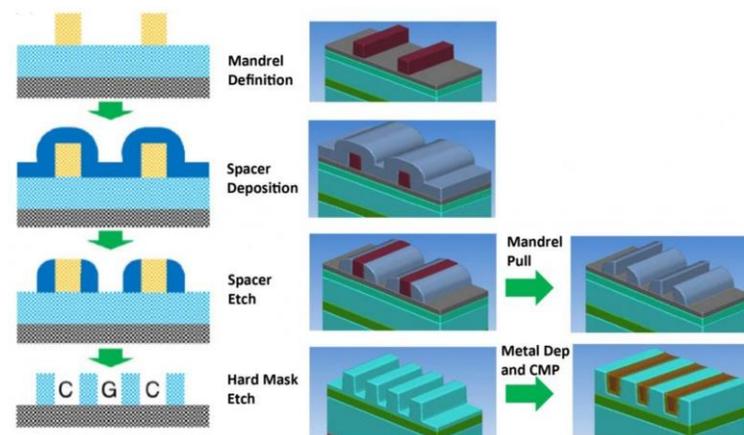
Внеосевое освещение фотомаски в литографической машине позволяет повысить как контрастность, так и глубину резкости (источник: Synopsys)

ЕЁ ВЕЛИЧЕСТВО ЛИТОГРАФИЯ

Многопроходная литография с самовыравниванием (self-aligned multiple patterning, SAMP).

Дело в том, что проэкспонировать кремниевую пластину диаметром 300 мм (стандартная заготовка для DUV-машин) дважды с *идеально точным* сдвигом всего лишь на десятки нанометров — задача, мягко говоря, технологически сложная.

Проще сразу позаботиться о том, чтобы на поверхности полупроводника, покрытой фоторезистом, образовались структуры с характерным шагом вдвое меньшим, чем реально достижимый предел разрешения. Проще это опять-таки благодаря заведомой регулярности таких структур — и, соответственно, применяемых для экспонирования шаблонов.



Двухпроходная фотолитография по методу SADP: формовка оправок на жёсткой маске — нанесение разделителя — травление разделителя и выемка материала оправок — финальное травление жёсткой маски (источник: Lam Research)



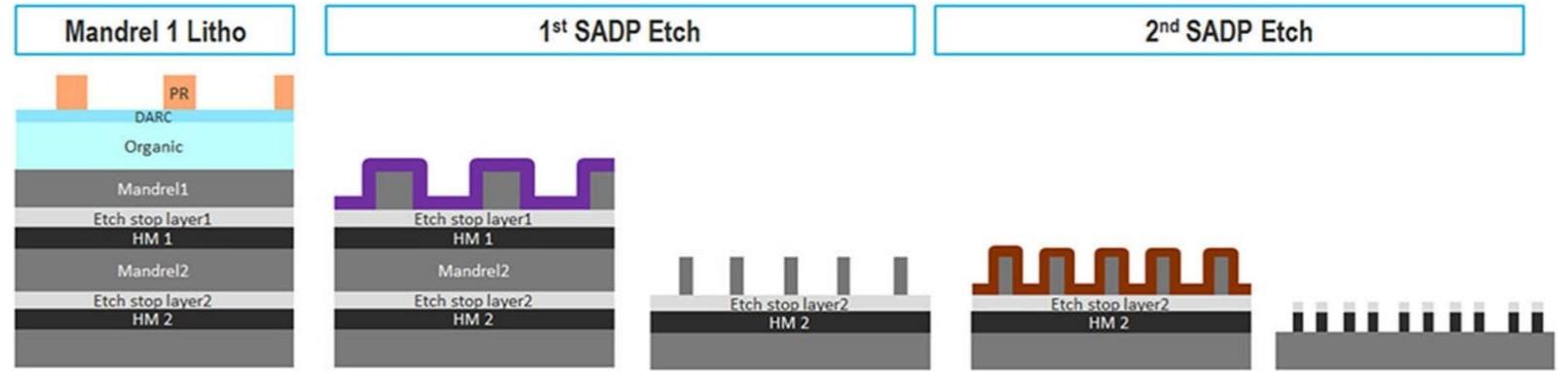
Четырёхпроходная фотолитография по методу SAQP сводится к двум последовательным SADP — только с предварительно нанесёнными на образец двумя жёсткими масками, двумя слоями блокировки травления (etch stop) и двумя слоями для формовки оправок (источник: SPIE)

ЕЁ ВЕЛИЧЕСТВО ЛИТОГРАФИЯ

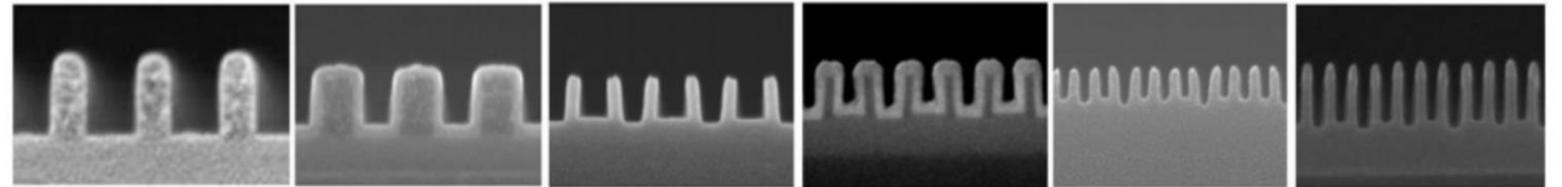
В результате если двухпроходный SADP (multiple в аббревиатуре конкретизировано до double) позволяет на базовой DUV-установке достигать зазора между элементами (pitch) примерно в 40 нм вместо 82 нм, то четырёхпроходный SAQP (quaduple) — уже почти 20 нм.

При этом толщина полупроводникового гребня (одиночной мельчайшей детали на поверхности подложки) для уже упоминавшегося техпроцесса TSMC «7 нм» составляет 6 нм — кстати, практически столько же, сколько и для предшествующей производственной нормы «10 нм».

Так что, в принципе, *маркетинговое наименование «7 нм» всё же имеет некий физический смысл*, хотя уже и не указывает напрямую на размер главного активного полупроводникового элемента МОП-транзистора — длину его канала.



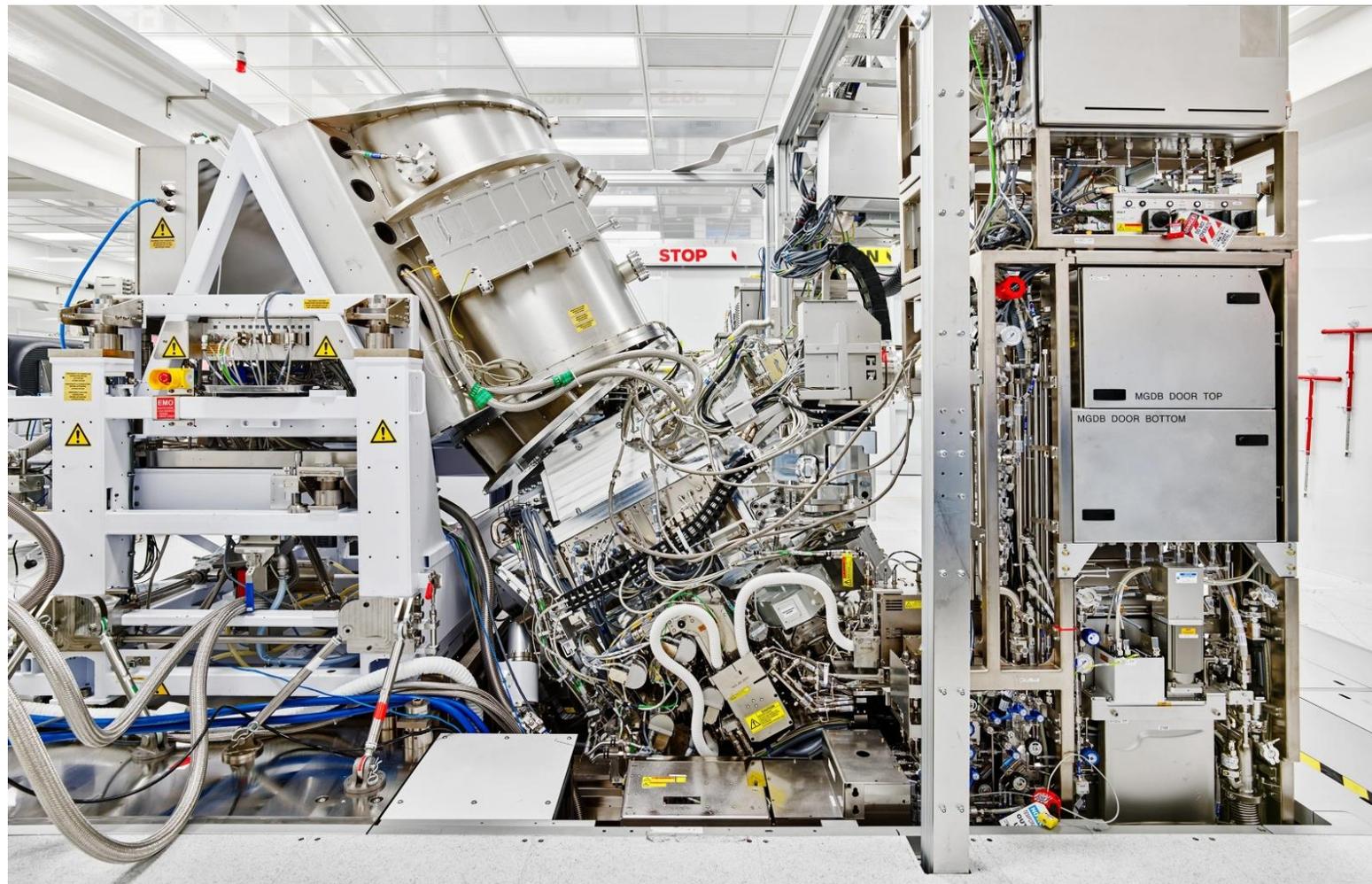
Четырёхпроходная фотолитография по методу SAQP сводится к двум последовательным SADP — только с предварительно нанесёнными на образец двумя жёсткими масками, двумя слоями блокировки травления (etch stop) и двумя слоями для формовки оправок (источник: SPIE)



ЕЁ ВЕЛИЧЕСТВО ЛИТОГРАФИЯ

Цена вопроса:

Первая серийная EUV-установка ASML TWINSCAN NXE:3400B, до сих пор применяемая для реализации техпроцессов «7 нм» и «5 нм» и штатно способная создавать на поверхности кремниевой пластины полупроводниковые структуры с дистанцией между соседними затворами (gate pitch — реальное разрешение) 13 нм, тянет на 180 тонн, состоит более чем из 100 тыс. узлов и компонентов и потребляет более 1 МВт электрической мощности. Разработчик анонсировал её готовность к серийному производству в 2017-м.

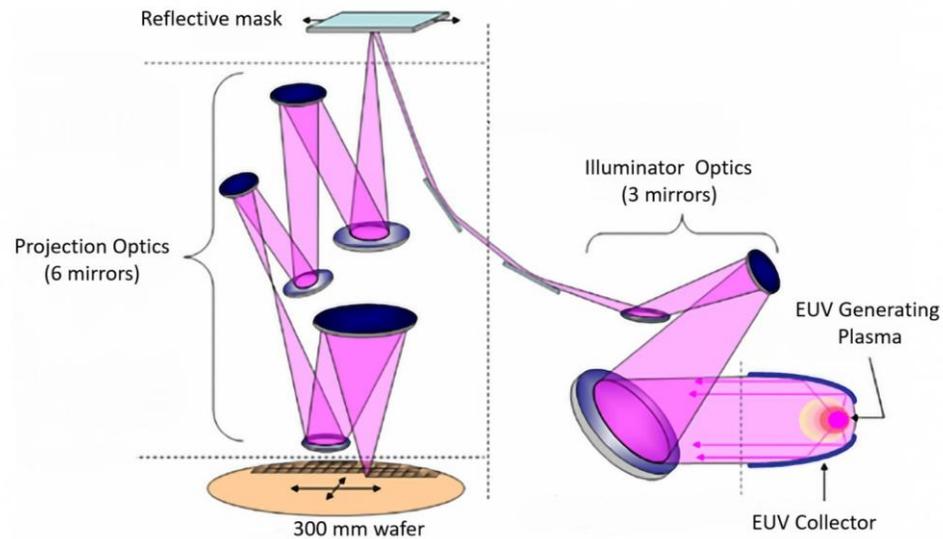


Важный, громоздкий, но ещё не самый сложный в изготовлении компонент EUV-машины — источник 13,5-нм излучения — в «чистой» сборочной комнате компании ASML (источник: MIT)

ЕЁ ВЕЛИЧЕСТВО ЛИТОГРАФИЯ

Цена вопроса:

Она обходилась заказчикам на старте продаж примерно в 120 млн долл. США, тогда как более современная модель TWINSCAN NXE:3600D, что используется для выпуска «5-нм» и «3-нм» СБИС, в наши дни стоит практически вдвое дороже. DUV-агрегаты же доступны сегодня по 40-60 млн долл. за единицу — и одно это уже немало говорит о качественном разрыве в масштабах проблем, которые пришлось решать разработчикам EUV-оборудования.



Оптический тракт простейшего EUV-фотолитографа включает:

- генератор плазмы с коллектором первичного её излучения (справа внизу),
- трёхзеркальное плечо засветки фотомаски,
- саму фотомаску (также отражающую)
- проекционное плечо из 6 зеркал, перенаправляющее свет на покрытую фоторезистом пластину-заготовку

(источник: SPIE)



Отдельная проблема при изготовлении зеркал для EUV — контроль качества их поверхности: допуск в $1/8$ длины волны здесь не превышает 1,7 нм (источник: Zeiss)

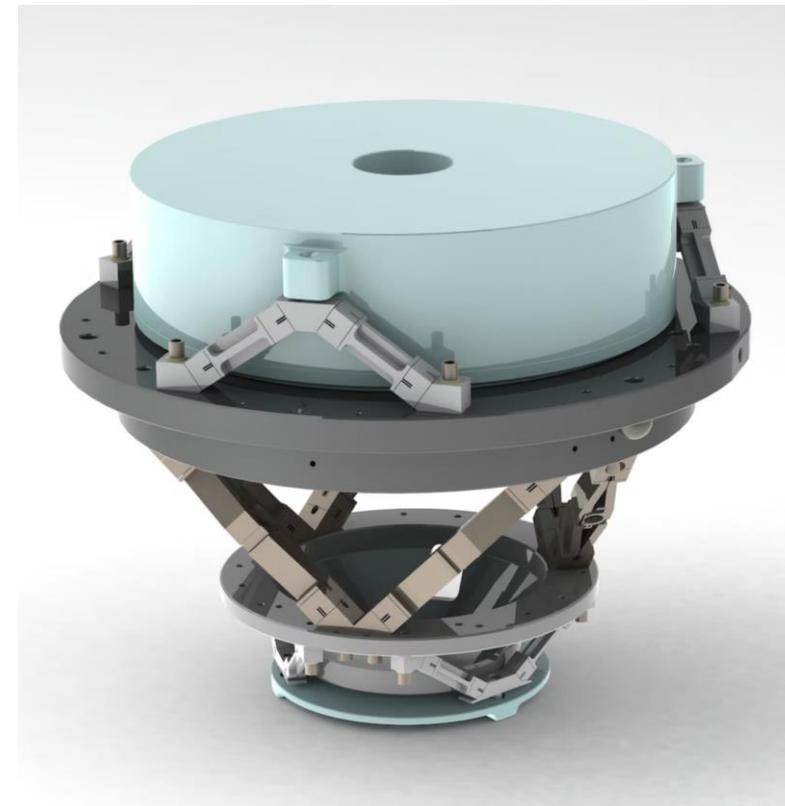
ЕЁ ВЕЛИЧЕСТВО ЛИТОГРАФИЯ

Цена вопроса:

Она обходилась заказчикам на старте продаж примерно в 120 млн долл. США, тогда как более современная модель TWINSCAN NXE:3600D, что используется для выпуска «5-нм» и «3-нм» СБИС, в наши дни стоит практически вдвое дороже. DUV-агрегаты же доступны сегодня по 40-60 млн долл. за единицу — и одно это уже немало говорит о качественном разрыве в масштабах проблем, которые пришлось решать разработчикам EUV-оборудования.



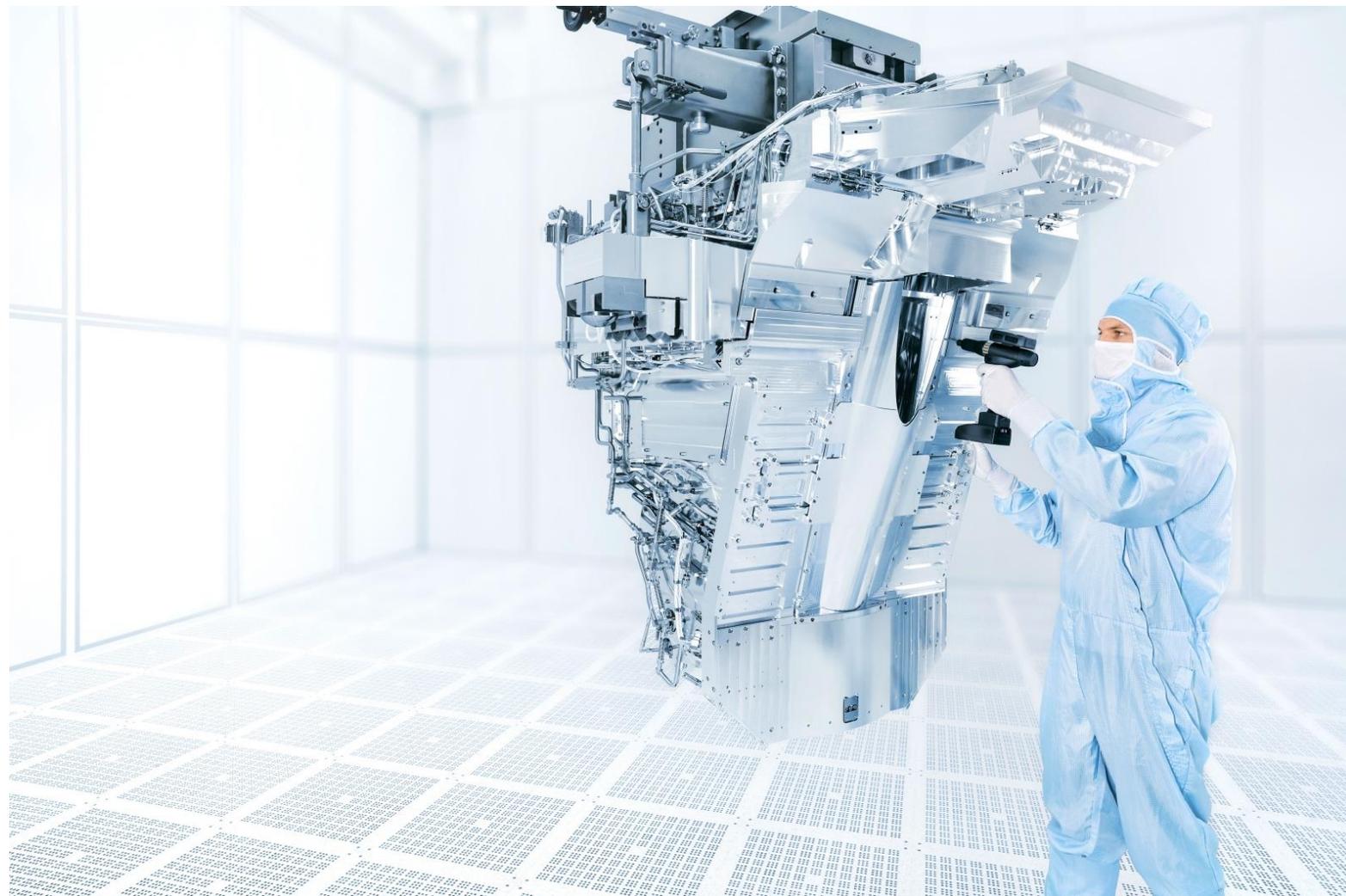
Отражающая фотомаска (тёмно-серый прямоугольник чуть выше центра снимка), смонтированная в держателе внутри EUV-литографа (источник: MIT)



Для создания EUV-машин с высокой численной апертурой NA применяются пары асферических брэгговских зеркал, точное взаимное расположение которых контролирует блок прецизионных электромеханических актуаторов (источник: Laser Focus World)

ЕЁ ВЕЛИЧЕСТВО ЛИТОГРАФИЯ

Плечо засветки фотомаски
(один из фрагментов
оптического тракта) в сборе,
готовое для установки в EUV-
машину; масса — 1,5 тонны
(источник: Zeiss)



МАСКА ВСЕМУ ГОЛОВА!

Фотомаски для EUV – отдельное произведение искусства!

Способные изготавливать EUV-фотомаски компании в мире наперечёт - это Applied Materials, Asahi Glass Co (AGC) и Hoya.

Кстати, до самых недавних пор внушительный вклад в себестоимость чипов, литографированных с применением 13,5-нм излучения, вносила необходимость регулярной замены этих узлов, поскольку использовать пленки для защиты масок не было возможности: прекрасно пропускающий DUV-излучение материал даже микрометровой толщины для EUV-излучения оказывался непрозрачным.

И если DUV-фотомаска обходится максимум в 100 тыс. долл. (правда, их необходимо несколько десятков штук на одну машину для последовательного формирования множества слоёв структурных элементов на поверхности кремниевой подложки), то одна EUV-фотомаска, которых также требуется немало, — примерно в 300 тыс.



Установка EUV-фотомаски в держатель: ручная работа! (источник: MIT)



Первая удачная пленка для EUV-фотолитографии была изготовлена ASML лишь в начале 2021 г. (источник: ASML)

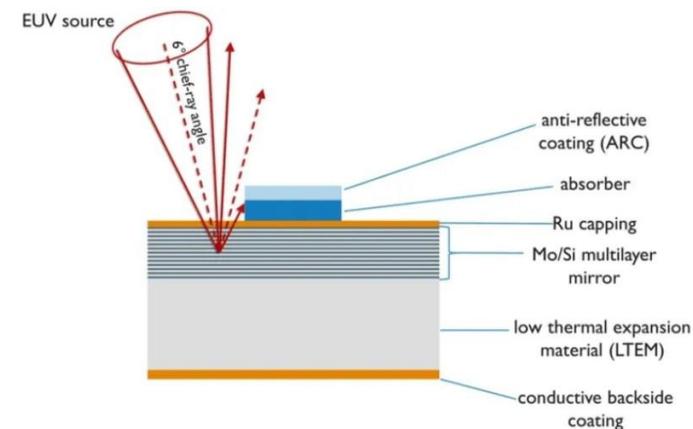


Схема отражения сходящегося под углом 6° EUV-пучка от многослойной фотомаски с покрытием из рутения (Ru) 2-нм толщины, защищающим внешний слой молибдена от разрушительного воздействия высокоэнергичных фотонов (источник: Imec)

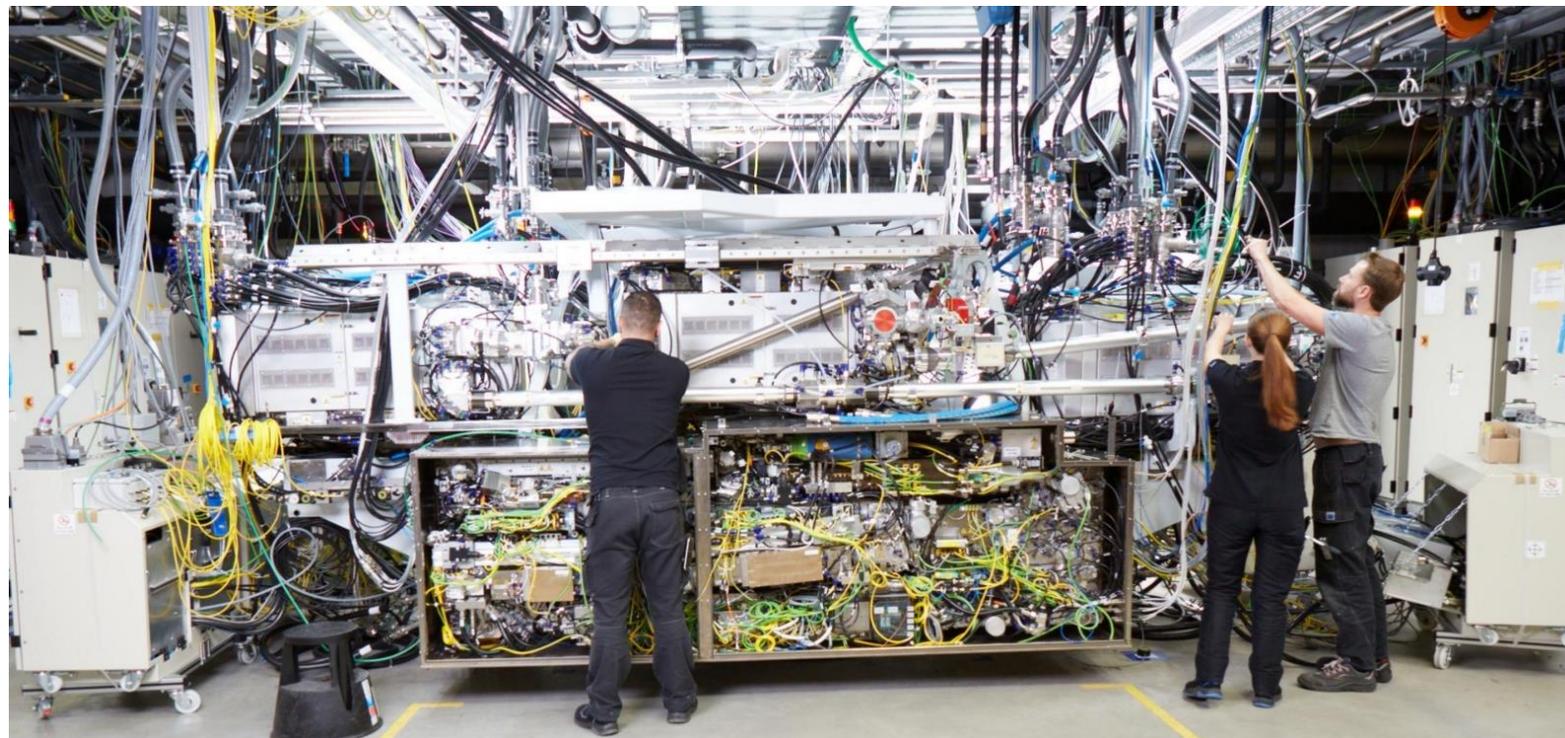
ЧЕМ П(Р)ОСВЕТИТЬ МАСКУ?

Отметим, что энергоёмкость самого EUV-процесса попросту неимоверна. Для начала эффективность преобразования потребляемой литографом электроэнергии в излучение смехотворно мала — не более 0,02% для первых образцов таких машин.

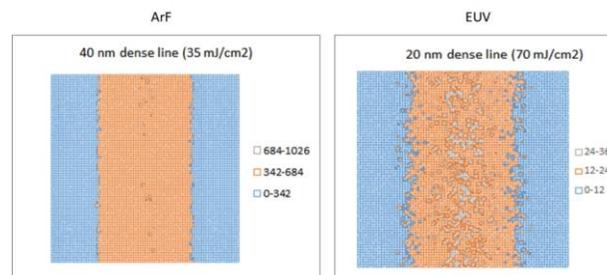
Иными словами, чтобы сгенерировать световой поток мощностью 200 Вт, необходимо подвести 1 МВт (1000 кВт) *только к узлу формирования 13,5-нм пучка*.

Современные EUV-машины обходятся чуть более чем 500 кВт, однако типичный DUV-агрегат с 193-нм рабочим лазером нуждается в мощности, меньшей ровно на порядок!

Кстати, узел формирования 13,5-нм светового потока — на редкость сложная конструкция, которая использует импульсный углекислотный (CO₂) лазер для интенсивного испарения крохотных (диаметром 25 мкм) капелек расплавленного, очищенного от малейших примесей олова. Именно в состоянии горячей сверхплотной плазмы олово излучает сверхжесткий ультрафиолет с необходимой длиной волны.

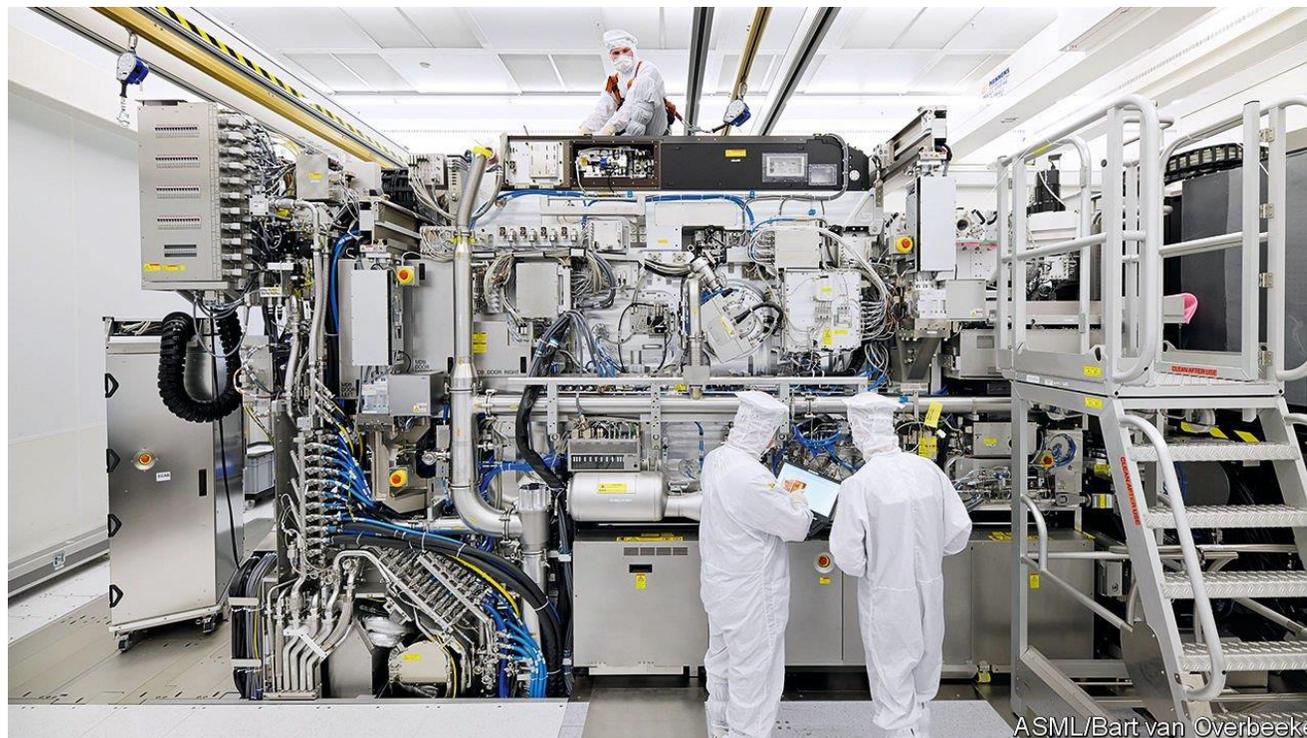


Процесс сборки углекислотного лазера, применяемого для EUV-фотолитографии: почти полмиллиона деталей, 7332 метра кабелей и более 17 тонн «живого» веса (источник: TRUMPF)



Сравнение линий, формируемых на поверхности кремниевой пластины ArF-лазером с длиной волны 193 нм (слева) и 13,5-нм EUV-излучением: масштаб картинке справа вдвое больше. Видно, как с ростом плотности энергии вдвое (70 мДж на см² для EUV против 35 для DUV) гораздо явственнее проявляются стохастические эффекты. Оттенки на рисунках отображают разные градации числа фотонов, попадающих на базовую единицу площади: на 1 нм² для DUV и на 0,25 нм² для EUV (источник: SemiWiki)

И ЭТО МЫ ЕЩЁ НЕ
ПОГОВОРИЛИ ПРО
ХИМИЮ,
ДЕФЕКТОСКОПИЮ,
ПРОЕКТИРОВАНИЕ,
ТРАССИРОВКУ И
ОГРОМНОЕ КОЛИЧЕСТВО
ДРУГИХ ВЕЩЕЙ



Например, перед разработчиками в полный рост встаёт ещё и проблема дефектоскопии: каким образом на 300-мм в диаметре пластине, покрытой полупроводниковыми транзисторами с плотностью 130-230 миллионов штук на квадратный миллиметр*, достаточно быстро и с хорошим охватом выявлять неработоспособные участки будущих СБИС — и тем самым гарантировать выход определённой доли заведомо годных чипов?

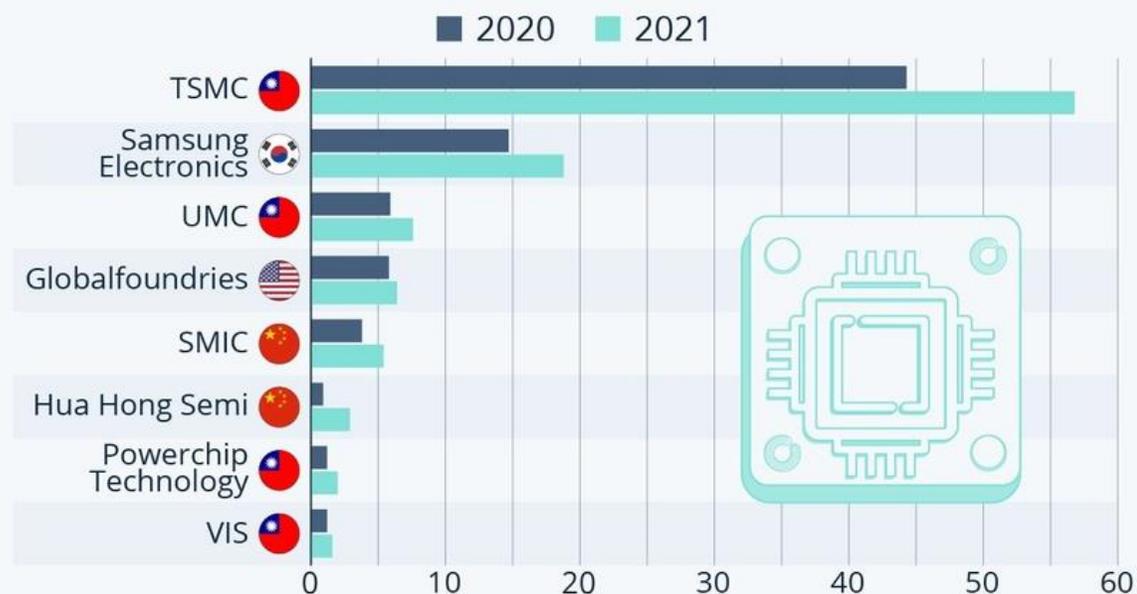
Для этой цели ASML, KLA, NuFlare, Tasmite и другие компании разрабатывают [электронно-лучевые дефектоскопы](#), способные массово верифицировать соответствие ожидаемым характеристикам множества существенно вертикальных структур. Ведь при переходе к маркетинговым технологическим нормам «3 нм», «2 нм» и менее вместо гребенчатых транзисторов FinFET применяются ещё более вытянутые по вертикали транзисторы с кольцевыми затворами, GAAFET.

СТОИТ ЛИ ОВЧИНКА ВЫДЕЛКИ?

Стоимость строительства завода по современным технологическим нормам (условные 7 нм, без EUV) составляет 3-5 миллиардов долларов или 270-450 миллиардов рублей, и это без создания сопутствующих производств (ПО, химия, расходники и т.д.)

The Hidden Suppliers of the Chip Industry

Annual revenue of the leading semiconductor foundries* (in billion U.S. dollars)



* Semiconductor foundry = Company manufacturing products for "fabless" semiconductor companies

Source: TrendForce



statista

НЕ ТОЛЬКО ЛИШЬ
ВСЕ МОГУТ
СМОТРЕТЬ В
БУДУЩЕЕ (С)

Из 26 производителей на 2002-
2003 только трое смогли
осилить условные 7 и 5 нм!

Это TSMC, Samsung и Intel*

Semiconductor industry evolution

(Source: High-End Performance Packaging: 3D/2.5D Integration report, Yole Développement, 2020)



* Moore's law states that the number of transistors in an integrated circuit chips doubles every 2 years
Data referenced from Intel and WikiChip



© 2021 | www.yole.fr - www.i-micronews.com

*Intel называет свои нормы иначе, но близок по формальным критериям к остальным конкурентам. По неподтвержденным слухам SMIC также освоила нормы близкие к «7 нм» на DUV-оборудовании

A17Pro: anatomy of the first 3nm chip



Frederic_Orange

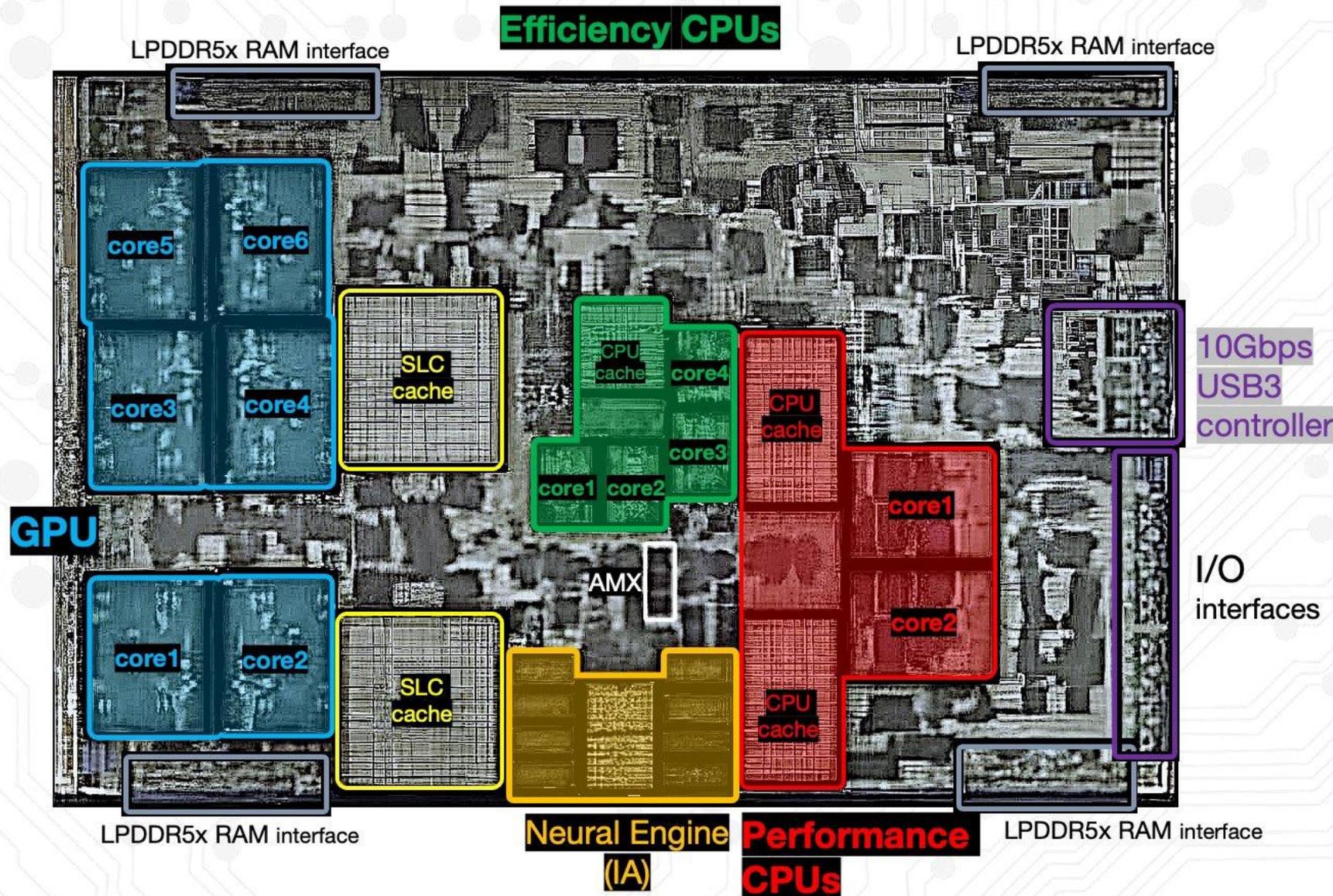
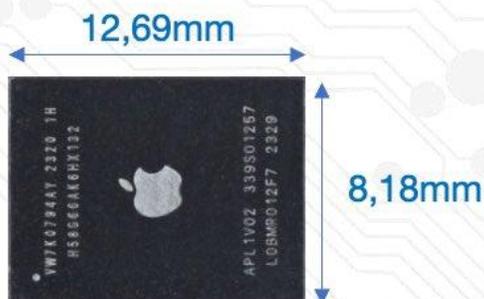


SoC design : **Apple**
SoC manufacturer : **TSMC**
Fab : **Fab18** (Tainan city, Taiwan)
Process : **3nm (N3B)**

Transistors : **19 billion**
+3 billion or +19% than A16 Bionic

Surface : **1cm²**
Dimension : **8.18mm x 12,69mm**
-8,8% than A16 Bionic

Estimated yield : **50-60%**
~ 420 to 500 dies per wafer
-40 to -30% than A16 Bionic



Summary Statistics of ET-SoC-1

The ET-SoC-1 is fabricated in TSMC 7nm

- 24 billion transistors
- Die-area: 570 mm²
- 89 Mask Layers

1088 ET-Minion energy-efficient 64-bit RISC-V processors

- Each with an attached vector/tensor unit
- Typical operation 500 MHz to 1.5 GHz expected

4 ET-Maxion 64-bit high-performance RISC-V out-of-order processors

- Typical operation 500 MHz to 2 GHz expected

1 RISC-V service processor

Over 160 million bytes of on-die SRAM used for caches and scratchpad memory

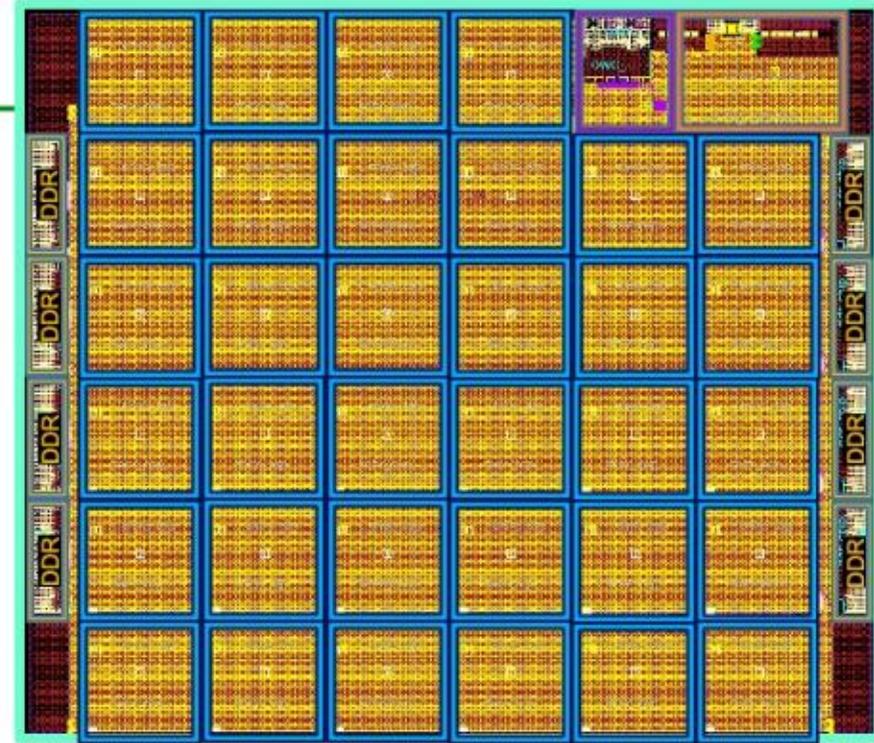
Root of trust for secure boot

Power typically < 20 watts, can be adjusted for 10 to 60+ watts under SW control

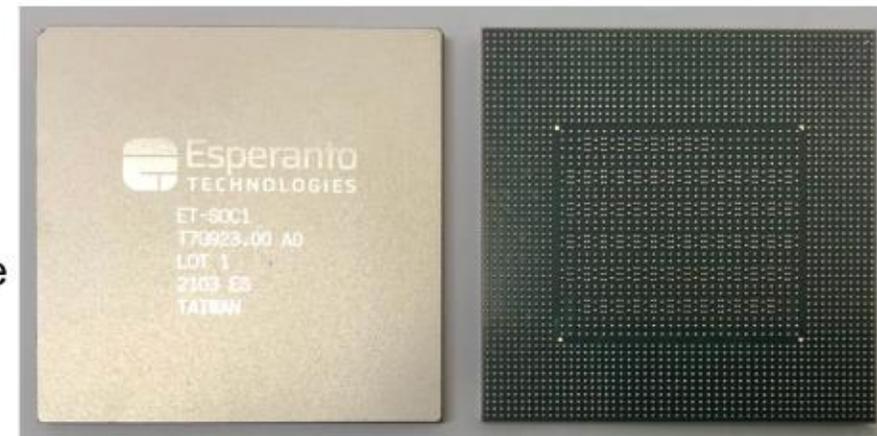
Package: 45x45mm with 2494 balls to PCB, over 30,000 bumps to die

- Each Minion Shire has independent low voltage power supply inputs that can be finely adjusted to mitigate V_t variation effects and enable DVFS

Status: Silicon currently undergoing bring-up and characterization



ET-SoC-1 Die Plot

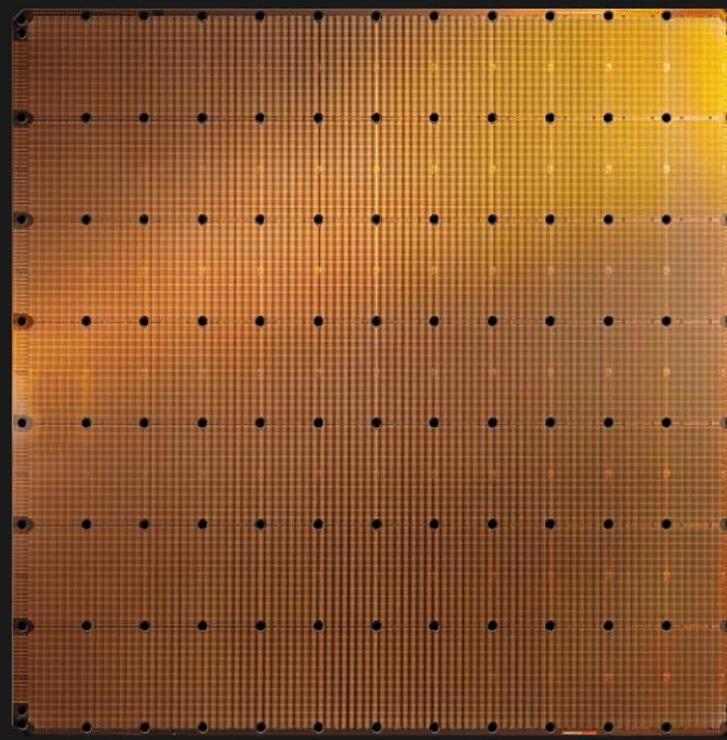


ET-SoC-1 Package

ТЕХНОЛОГИЧЕСКИЕ НОРМЫ ПРИ ПРОИЗВОДСТВЕ МИКРОЭЛЕКТРОНИКИ

Так что же такое пресловутые нанометры, про которые нам рассказывают маркетологи?

Можно ли их сравнивать напрямую и какой в них экономический и технологический смысл?



Cerebras WSE-2

46,225mm² Silicon
2.6 Trillion Transistors

Cerebras Wafer-Scale Engine

| | Gen1 WSE | Gen2 WSE |
|---------------------|------------------------|------------------------|
| Fabrication process | 16 nm | 7 nm |
| Silicon area | 46,225 mm ² | 46,225 mm ² |
| Transistors | 1.2 Trillion | 2.6 Trillion |
| AI-optimized cores | 400,000 | 850,000 |
| Memory on-chip | 18 GB | 40 GB |
| Memory bandwidth | 9 PB/s | 20 PB/s |
| Fabric bandwidth | 100 Pb/s | 220 Pb/s |



Largest GPU

826mm² Silicon
54.2 Billion Transistors



СПАСИБО ЗА ВНИМАНИЕ

Руслан Иванов

ruivanov@gmail.com